

21 МІКРОПРОЦЕСОРИ

21.1 Структурна схема мікропроцесора (МП)

Структурну схему МП наведено на рисунку 19.1.

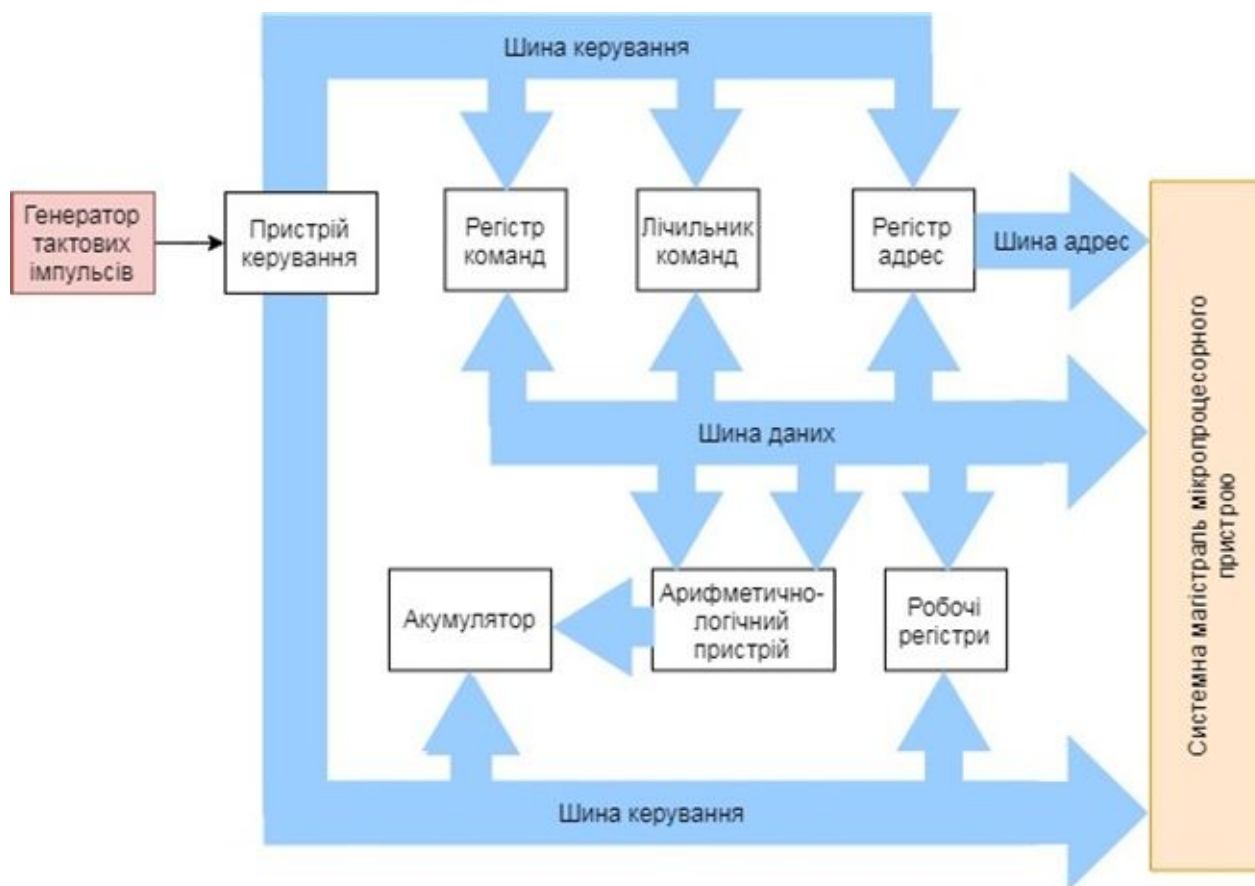


Рисунок 21.1 – Структура мікропроцесора

МП містить три основні пристрої: арифметико-логічний пристрій (АЛП), регістр даних (РД) і пристрій керування (ПК). Ці та інші пристрої, що приймають участь у пересиланні даних, з'єднано шинами внутрішньої магістралі: **шинами адреси ША, шинами даних ШД і шинами керування ШК.**

Синхронізує і задає темп роботи (швидкодію) МП **генератор тактових імпульсів (ГТІ).**

Арифметико-логічний пристрій АЛП являє собою комбінаційний пристрій у якому відбувається виконання арифметичних або логічних операцій (за відповідними командами) над даними.

Регістри забезпечують виконання функцій МП за рахунок зберігання кодів даних, адрес, команд та ін.

Акумулятор є основним регістром МП при діях з даними. Більшість арифметичних і логічних операцій з двома словами даних здійснюється з використанням АЛП і акумулятора.

У **регістрі стану** (ознак або прапорців) зберігаються ознаки результату побіжної операції АЛУ (нульовий, додатний, від'ємний та ін.). Ці ознаки використовуються при виконанні наступних команд, наприклад, для розгалуження програми.

Лічильник команд зберігає номер команди, що виконується і тієї, що буде виконуватись наступною. Перед початком виконання програми до нього заноситься адреса її першої команди.

Регістр адреси пам'яті містить адресу пам'яті, що буде використана МП у наступному такті роботи. Його виходом є шина адреси.

Регістр команд зберігає код команди, що виконується у даний момент. **Робочі регістри** є внутрішньою надоперативною пам'яттю МП і застосовуються для проміжного зберігання кодів даних і адрес, забезпечуючи підвищення швидкодії.

Підключення внутрішньої магістралі МП до системної магістралі мікропроцесорного пристрою відбувається через **буферні регістри інтерфейсу і вихідні підсилювачі**.

Пристрій керування узгоджує роботу всіх вузлів МП.

21.2 Однокристальні МП

В даний час однокристальних МП з фіксованою системою команд та фіксованою розрядністю найпоширеніші в засобах обчислювальної техніки. У своєму розвитку вони зазнали цілий ряд схемотехнічних та архітектурних удосконалень, проте базова структура і основоположні принципи їх роботи залишилися колишніми.

Однокристальні МП реалізують усі апаратні засоби процесора у вигляді однієї великої або надвеликої інтегральних схем (ВІС і НВІС). Однокристальний МП має фіксовану розрядність слова, набір команд і конструктивно виконаний у вигляді однієї інтегральної схеми. Усі здійснювані ним операції визначаються

набором команд МП. Особливістю однокристального МП є наявність внутрішньої магистралі для передачі внутрішніх інформаційних даних і керуючих сигналів. Можливості цих МП обмежені апаратними ресурсами кристала і корпусу, але із збільшенням ступеня інтеграції кристала та кількості виводів корпусу параметри МП безперервно поліпшуються.

На рис. 21.2 наведена структурна схема 8-розрядного однокристального МП типу Intel 8085A. Схема має внутрішню 8-розрядну шину даних, через яку всі блоки обмінюються інформацією. Як видно зі структурної схеми у склад МП входять пристрій керування (блок синхронізації та керування, блок керування переривання, блок керування послідовним вводом/виводом), арифметично-логічний пристрій *ALU (Arithmetic-Logic Unit)*, регістр команд *IR (Instruction Register)*, дешифратор команд та формувач машинних циклів, регістр прапорців *RF (Register Flags)* (ознак), акумулятор *AC (Accumulator)*, регістр тимчасового зберігання одного з операндів *TR (Temporary Register)*, мультиплексор-демультиплексор *MUX/DMUX*, блок 8-розрядних регістрів загального призначення РЗП (*B, C, D, E, H, L*), вказівник стека *SP (Stack Pointer)*, програмний лічильник *PC (Program Counter)*, схема інкременту/декременту *INC/DEC (Increment/Decrement)*, регістр адреси *RA*, буфер адреси *BA*, буфер шини адреса/дані *BA/D*.

Арифметично-логічний пристрій *ALU* є ядром МП і, як правило, складається з двійкового суматора зі схемами прискореного переносу, зсувного регістра та регістрів для тимчасового збереження операндів (операнд – будь-яке потрібне для деякої операції дане). У 8-розрядному *ALU* передбачена можливість виконання чотирьох арифметичних операцій (складання з передачею переносу в молодший розряд та без цього переносу, віднімання з передачею позики в молодший розряд та без неї), чотирьох видів логічних операцій (операцій кон'юнкції – логічного множення, диз'юнкції – логічного додавання, нерівнозначності – складання за модулем 2, порівняння).

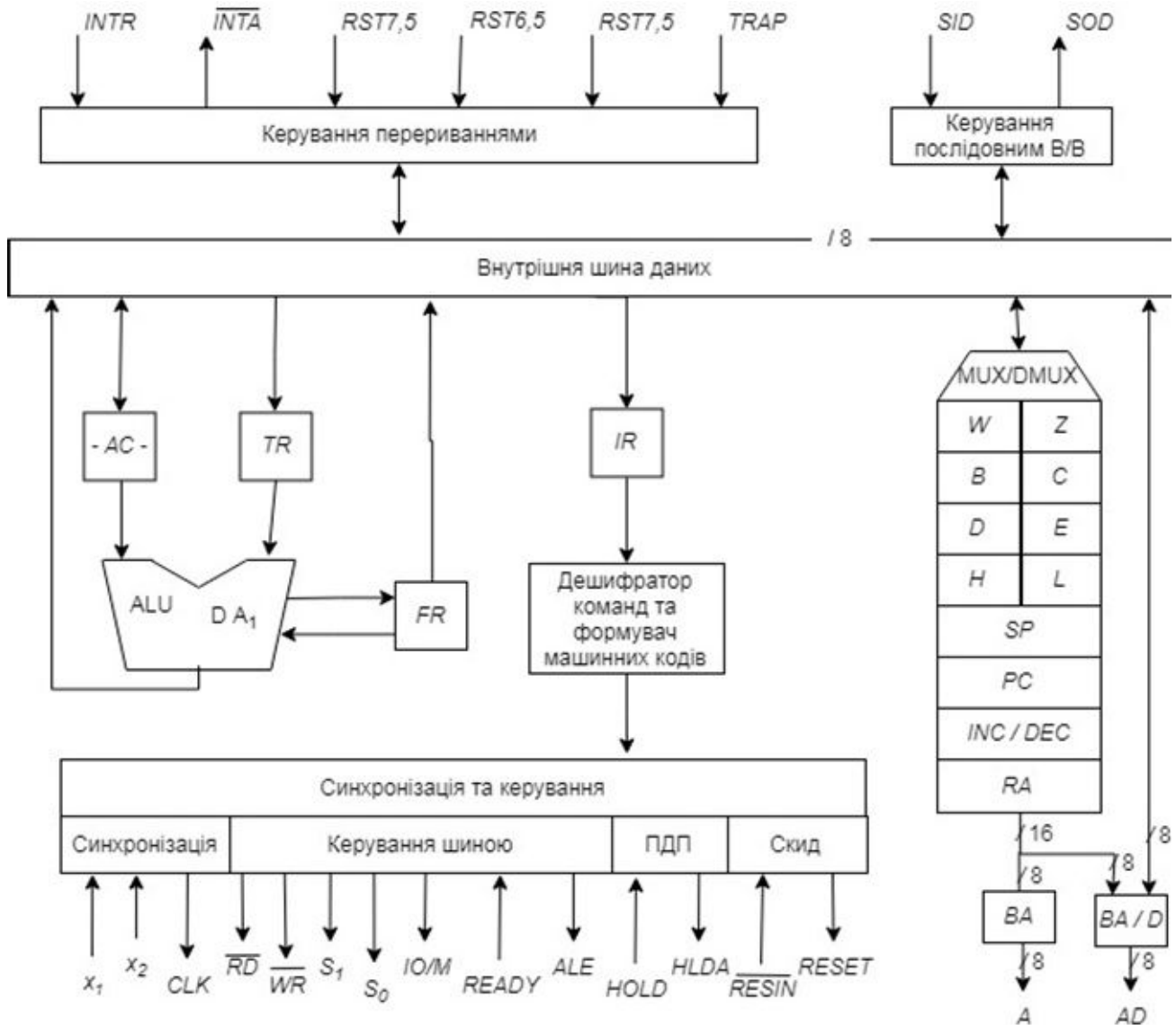


Рисунок 21.2 – Структурна схема 8-розрядного однокристального МП типу Intel 8085A

При виконанні арифметичних і логічних операцій одним з операндів служить вміст акумулятора і результат виконаної операції розміщують у акумулятор. Циклічний зсув виконується тільки над вмістом акумулятора.

В *ALU* є схема переводу двійкових чисел у двійково-десяткові (*DA, Decimal Adjust*).

Для тимчасового зберігання двійкової інформації (машинного слова) використовують регістри, що будуються на тригерах, загальна кількість яких визначає розрядність регістру. Кожний тригер регістру використовується для вводу, збереження та виводу одного розряду (1 або 0) двійкового числа.

Розрядність регістру вибирають відповідно довжині слова, яке зберігається в ньому.

Регістри, які служать тільки для вводу, збереження та виводу двійкової інформації називають накопичувальними або акумуляторними. Від них відрізняються зсувні регістри, які окрім виконання вказаних функцій дозволяють здійснювати зсув двійкового числа праворуч або ліворуч (а інколи — в обох напрямках).

Блок керування складається з регістру команд, куди приймається перший байт команди, та пристрою керування (ПК). Пристрій керування керує роботою *ALU* і внутрішніх регістрів у процесі виконання команд. Згідно коду операції, який вміщується в команді, він формує внутрішні сигнали керування блоками мікропроцесора. Адресна частина команди разом з сигналами керування використовується для зчитування даних з визначеної комірки пам'яті (запису даних у комірку). За сигналами ПК здійснюється вибірка кожної нової наступної команди. Пристрій керування вміщує виконану на програмовній матриці керуючу пам'ять, в якій зберігаються окремі команди. Проте користувач не може змінити вміст керуючої пам'яті, а отже, і склад команд.

Блок внутрішніх регістрів, що розширює можливості *ALU*, є внутрішньою пам'яттю мікропроцесора – використовується для тимчасового зберігання даних і команд. Він також виконує деякі процедури обробки інформації. Звичайно цей блок вміщує регістри загального призначення та спеціальні регістри: регістр-акумулятор, буферний регістр адреси, буферний регістр даних, лічильник ознак.

Регістри загального призначення (РЗП), кількість яких у МП типу Intel 8085A шість (*B, C, D, E, H, L*), а в інших серіях може змінюватися від 4 до 64 (їхня кількість значною мірою визначає обчислювальні можливості мікропроцесора), призначені для збереження операндів, тобто підлягаючих обробці даних. Проте вони можуть виконувати роль спеціальних регістрів, а також використовуватися як одиночні 8-розрядні регістри. У випадках, коли виникає потреба зберігати 16-розрядні двійкові числа, вони об'єднуються у пари *BC, DE, HL*.

Ці регістри програмно доступні й можуть бути використані на розсуд програміста.

Регістри TR , W , Z використовуються як буферні для тимчасового збереження даних під час виконання команди (ці регістри недоступні програмісту).

З внутрішньою шиною даних ШД блок регістрів зв'язаний через мультиплексор/демультиплексор $MUX/DMUX$.

Регістр-акумулятор (акумулятор) AC призначений для тимчасового збереження операнда або проміжного результату арифметичних і логічних операцій, виконуваних ALU . При виконанні будь-якої операції з двома операндами в цьому регістрі міститься один з операндів, які використовуються, а після виконання операції її результат. Розрядність регістру дорівнює розрядності інформаційного слова (у МП, який нами розглядається, акумулятор – восьмирозрядний регістр). Часто ввід і вивід усіх даних у мікропроцесорі виконується через акумулятор.

Регістр адреси RA – спеціальний регістр, який служить для приймання та збереження адресної частини виконуваної команди. Інакше кажучи, у ньому міститься до видачі на адресну шину адреса слова, яке зберігається в комірці зовнішньої пам'яті або іншому регістрі. Можлива кількість адрес, тобто безпосередньо слів пам'яті, які адресуються, визначається розрядністю цього регістру (в нашому випадку він 16-розрядний). З регістру адреси RA адреса через буфер адреси BA та буфер адреси/даних BA/D надходить на шини A та AD . З цих шин адреса може бути прийнята в оперативну пам'ять.

Буферний регістр адреси BA з трьома станами виходу видає сигнали старших розрядів адреси на лінії адресної шини A_{15-8} .

Буферний регістр адреса/дані BA/D з трьома станами виходу передає на шину AD з розділенням у часі молодший байт адреси або байт даних.

Буферні регістри даних і адреси забезпечують зв'язок центрального процесора із зовнішніми шинами даних та адреси. Особливістю буферів, як сказано вище, є те, що в кожному розряді вони використовують логічні елементи з трьома станами. У них крім станів лог. 0 та лог. 1 передбачений ще третій стан, в якому вони мають практично нескінчений вихідний опір і виявляються відімкненими від відповідних шин. Використання таких буферів дозволяє

процесору відмикатися від зовнішніх шин (шин даних і адреси), віддаючи їх у розпорядження зовнішніх пристроїв, а також дозволяє використовувати одну й ту ж шину даних як для прийому даних (тобто в якості вхідної шини), так і для видачі даних (тобто в якості вихідної шини). Таке використання шини даних дозволяє скоротити число виводів мікросхем.

Програмний лічильник PC (16-розрядний) застосовується для зв'язку із запам'ятовуючим пристроєм. Він вміщує адресу комірки пам'яті, в якій розміщені байти виконуваної команди. Звичайно команди визначеної програми знаходяться у послідовно розташованих комірках пам'яті: для однобайтової команди число, яке вказує адресу даної комірки. Тому перехід до наступної команди досягається збільшенням числа, вміщеного у лічильнику команд, на одиницю (для повернення до попередньої команди вміст лічильника повинен бути зменшений на одиницю). У ході виконання поточної команди, тобто при передачі команди з пам'яті в мікропроцесор, вміст лічильника команд збільшується на одиницю і утворюється адреса наступної команди. Тому говорять, що лічильник команд призначений для зберігання адреси команди, наступної у програмі за виконуваною командою. Можлива ситуація, коли треба після даної команди використовувати команду, яка зберігається не в сусідній, а в іншій, скажімо, віддаленій комірці пам'яті. Тоді за сигналом ПК у лічильник команд заноситься адреса віддаленої комірки.

Схема *INC/DEC* змінює слова, які передаються через неї на +1 або -1.

Регістр команд IR приймає з пам'яті перший байт команди, який після дешифрації видає сигнали, потрібні для реалізації машинних циклів, що приписані кодом операції.

Стек (магазинна пам'ять) – це спеціально відведена область пам'яті для послідовного запису та зчитування даних. Ця частина пам'яті звичайно використовується для зберігання стану внутрішніх регістрів при обробці переривань, для збереження адреси повернення у викличну програму та ін. Стек дозволяє без обміну з пам'яттю організувати правильну послідовність виконання різних за старшинством арифметичних дій. Стек виконується на сукупності внутрішніх регістрів МП і входить до складу МП, або виконується на зовнішній оперативній пам'яті та входить до складу запам'ятовуючого пристрою з

довільною вибіркою. В останньому випадку звернення та адресування до стеку здійснюється через реєстр **вказівник стека** *SP* (16-розрядний у нашому випадку), що дозволяє при 16-розрядній адресній шині створити стек глибиною 64К. Стек на реєстрах більш швидкодіючий, але через малу кількість реєстрів у МП не забезпечує великої глибини входження підпрограм. У комірці стека інформація заноситься послідовно і витягується в послідовності, оберненій послідовності занесення. Вказівник стека *SP* – це реєстр, в якому зберігається адреса останньої зайнятої комірки стека. При запису слова в стек значення адреси у вказівнику збільшується на 1, а при зчитуванні слова зменшується на 1. Крім того, є можливість прочитати без руйнування вміст будь-якої комірки стека без зміни значення вказівника стека. Стек дозволяє спростити обробку переривань і програми. Наявність стека дуже важлива для швидкого звернення до масивів запам'ятовувального пристрою як при обслуговуванні переривань, так і при виконанні програм вводу/виводу, перетворення кодів, множення, ділення та ін.

Реєстр ознак (прапорців) *RF*, тобто бітів, які вказують ознаки результатів арифметичних або логічних операцій, виконаних в *ALU*, є набором тригерів, які зветься прапорцями. В залежності від результатів, які виконуються *ALU*, кожний тригер встановлюється в стан 0 або 1. У реєстрі ознак результату фіксується інформація про результат виконання останньої обробленої команди. Прапорцеві біти, які визначають вміст реєстру, вказують умовні ознаки: *Z* (*Zero*) нульовий результат, *C* (*Carry*) – перенос, *AC* (*Auxiliary Carry*) – допоміжний перенос, *S* (*Sign*) –знак результату, *P* (*Parity*) –парність ваги слова. Ознака допоміжного переносу (перенос між молодшою та старшою тетрадами 8-розрядного слова) потрібна при виконанні операцій у двійково-десятковому колі. Ознаки потрібні для керування ходом процесу обробки інформації.

Внутрішня 8-розрядна шина даних передає байти між різними внутрішніми реєстрами або обмінюється з іншими модулями МПС через мультиплексовану шину адреси/даних.

Блок синхронізації та керування використовує вихід дешифратора команди і шифратора машинних циклів для синхронізації циклів, генерації сигналів стану та керування шиною (зовнішніми приборами МПС).

При обміні між МП і пам'яттю або зовнішнім пристроєм (ЗП) адреса відповідної комірки пам'яті або ЗП від обраної команди або однієї з реєстрових пар передається в реєстр адреси РА.

Конструктивно ВІС 8-розрядного процесора виконано в корпусі з 40 виводами, з яких 16 припадає на шину адреси, 8 – на шину даних, 2 (4) – на ввімкнення живлення, а інші – на лінії керування. Лінії шини керування показані на рис. 21.2:

- x_1, x_2 – виводи, що поєднуються до кварцевого резонатора або іншим частотно вибіркоким колам, які забезпечують роботу внутрішнього генератора синхроімпульсів МП; частота на виводах x_1, x_2 у 2 рази вища за робочу частоту;

- CLK (*Clock*) – вихід синхроімпульсів для МПС; частота цих імпульсів у 2 рази нижча за частоту на виводах x_1, x_2 ;

- \overline{RD} (*Ready*), \overline{WD} (*Write*) – виходи сигналів читання або запису; низький рівень відповідного сигналу свідчить про те, що адресована комірка пам'яті або зовнішній пристрій повинні виконати операцію читання або запису; виводи переходять у 3-й стан у режимах: *HOLD* – вхід сигналу запиту прямого доступу до пам'яті або запит захоплення шин; використовується для організації обміну з пристроями, швидкодія яких вища від швидкодії процесора; *HLDA* (*Hold Acknowledge*) – вихід сигналу підтвердження прямого доступу до пам'яті; активний рівень цього сигналу свідчить про те, що процесор перевірив свої шини адреси, даних та керування у високоінпедансний стан;

- *RESET* – вихідний сигнал початкового встановлення для зовнішніх модулів системи, прив'язаний до тактових імпульсів CLK ; відрізняється від сигналу \overline{RESIN} ($\overline{\text{Reset IN}}$) за фазою;

- \overline{RESIN} – вхід сигналу скиду МП у початковий стан; сигнал може надходити у будь-який час за командою оператора; автоматично формується при включенні живлення; під його дією скидаються реєстри *PC* і *IR*, тригери дозволу переривання, підтвердження захоплення та ін.;

- S_1, S_0 – виходи сигналів стану МП, які надаються зовнішньому середовищу, формуються на початку та зберігаються на весь час машинного циклу;

- *IO/M (Input-Output/Memory)* – вихід сигналу ознаки звернення до пам'яті (лог. 0) або до пристрою введення/виведення (лог. 1); сумісно з сигналами S_0 , сигнал *IO/M* ідентифікує тип машинного циклу;

- *READY* – вхід сигналу готовності зовнішнього пристрою або пам'яті до обміну; використовується для організації обміну з менш швидкодіючими (порівняно з МП) пристроями;

- *ALE* – вихід сигналу стробу дозволу завантаження молодшого байта адреси пам'яті до зовнішнього регістру для його зберігання на протязі машинного циклу; з'являється в першому такті машинного циклу; регістр завантажується заднім фронтом сигналу *ALE*;

- A_{15-8} – вихідні шини з трьома станами для видачі старшого байта адреси пам'яті або нової адреси зовнішнього пристрою; переходять у третій стан у режимах *HOLD, HALT* (зупинка), *RESET*;

- AD_{7-0} – двонаправлені мультиплексовані шини з трьома станами для видачі молодшого байта адреси пам'яті або повної адреси зовнішнього пристрою в першому такті машинного циклу, після чого використовуються як шина даних; як видно зі сказаного при адресації зовнішнього пристрою адресна інформація обох півшин (A_{15-8} та AD_{7-0}) дублюється;

- *INTR (Interrupt Request)* — вхід сигналу запиту переривання, який викликає генерацію строба *INTA*, якщо переривання дозволено програмою; адреса підпрограми, що викликається цим входом, видається зовнішнім пристроєм; при скиді приймання сигналу забороняється (переривання забороняється);

- \overline{INTA} (*Interrupt Acknowledge*) – вихід строба підтвердження переривання після завершення поточного командного циклу; використовується для читання/переривання;

- *RST 5,5; RST 6,5; RST 7,5* – входи запитів радіального переривання типу *RSTn* ($n = 5,5; 6,5; 7,5$); початкові адреси підпрограм обслуговування дорівнюють $8n$; пріоритети фіксовані, вищий пріоритет у входа *RST7,5*; пріоритети всієї групи

запитів вище пріоритетів, запиту *INTR*; запити масковані, причому незалежно один від одного;

- *TRAP* – вхід запиту немаскованого переривання, що має максимальний пріоритет;

- *SID* (*Serial Input Data*), *SOD* (*Serial Output Data*) –вхід і вихід послідовної передачі даних.

При ввімкненні джерела живлення або при формуванні сигналу початкового встановлення *RESET* програмний лічильник РС, набуває нульового значення і починається машинний цикл вибірки команди з пам'яті. Вміст комірки пам'яті за нульовою адресою через буферний регістр даних *BA* та внутрішню шину МП надходить у регістр команд *IR*, після цього – дешифратор команд. Відповідно до дешифрованих кодів команд і зовнішніх сигналів синхронізації та керування пристрій керування формує керуючі імпульси для кожної мікрооперації команди.

У 8-розрядному МП є можливість передати або прийняти дані із зовнішніх ПВВ. Пристрої вводу/виводу з'єднуються з системною шиною МПС за допомогою портів вводу/виводу, які являють собою 8-розрядні регістри зі схемами вибірки та керуванням читанням/записом. Кількість таких пристроїв визначається можливим діапазоном 8-ми розрядних адрес портів, тобто $2^8=256$ портів вводу та 256 портів виводу. Ввід або вивід даних може здійснюватися двома способами: з використанням окремого адресного простору ПВВ; з використанням спільного з пам'яттю адресного простору, тобто з відображенням на пам'ять.

При природному прямуванні команд МП, почавши роботу, вибирає з пам'яті та виконує одну команду за іншою, поки не досягне команди “Зупинка” (*HALT*). Кожна команда у МП виконується протягом **командного циклу** (КЦ) (рис. 21.3). Командний цикл складається з **циклу вибірки команди** та **циклу виконання команди**.

КЦ									
МЦ1				МЦ2			МЦ3		
T1	T2	T3	T4	T1	T2	T3	T1	T2	T3

Рисунок 21.3 – Командний цикл МП

Тривалість циклу вибірки команди залежить від формату команди (кількість байтів у машинному коді команди). Команди МП можуть вміщувати один, два або три байта у програмній пам'яті. Багатобайтові команди зберігаються у сусідніх комірках пам'яті. Для вибірки однобайтової команди потрібне одне звернення до пам'яті, а для вибірки трибайтової команди – три звернення. Тривалість циклу виконання команди залежить від засобу адресації операндів.

Командний цикл складається з одного або декількох **машинних циклів** (МЦ). Кожне звертання до пам'яті або ЗП вимагає машинного циклу, який пов'язаний з передачею байта в МП або з нього. Машинний цикл, у свою чергу, розбивається на деяке число машинних тактів T (станів), протягом кожного з яких виконується елементарна дія (мікрооперація) у процесорі. Число тактів у різних машинних циклах – 3...6. Більшість машинних циклів вміщує три такти. У командному циклі може вміщуватися від 4 до 18 тактів. Тривалість такту задається періодом імпульсів синхронізації CLK і визначається як інтервал часу між однойменними фронтами двох сусідніх тактових імпульсів.

Сигнали, що реалізують той або інший МЦ, генеруються блоком керування МП на основі інформації, яка вміщується у першому байті команди.

Таким чином, командний цикл МП складається з деякого числа машинних циклів, а кожний машинний цикл – з визначеного числа тактів, протягом яких виконуються ті чи інші елементарні дії у процесорі.

21.3 Багатокристалльні МП

У багатокристалльних МП логічна структура розподіляється на функціонально закінчені частини, які реалізуються у вигляді окремих великих

інтегральних схем (ВІС) та надвеликих інтегральних схем (НВІС) або окремих кристалів в одній НВІС.

Багатокристалні секціоновані МП складаються з набору мікропроцесорних секцій.

21.4 Секційні МП

Мікропроцесорна секція — мікропроцесорна інтегральна схема, яка реалізує частину МП і має засоби простого функціонального об'єднання з однотипними або іншими мікропроцесорними секціями *для* побудови закінчених МП, МПП або мікроЕОМ.

Керування секціонованими МП здійснюється мікропрограмними засобами. До секціонованих МПК належать ВІС серій: К1800, КР1802, КМ1804 та ін. Головне їх призначення — створення високопродуктивних багаторозрядних МП і МПС, на базі яких реалізуються різноманітні керуючі обчислювальні системи.

Основу МПК ВІС становить базовий комплект ІМС однієї серії. Він може складатися з ІС однокристалного МП ³ фіксованими розрядністю та набором команд або комплекту ВІС однокристалного МП. Для розширення функціональних можливостей МП базовий МПК ВІС доповнюється іншими типами ВІС: ОЗП, ПЗП, ППЗП, інтерфейсними інтегральними схемами, контролерами зовнішніх пристроїв та ін.