

18 СУМАТОРИ

18.1 Загальна характеристика суматорів

Суматором називається комбінаційний логічний пристрій, призначений для виконання арифметичного підсумовування (додавання або віднімання) чисел. У цифровій техніці підсумовування виконуються в основному над двійковими (рідше двійково-десятковими) числами (кодами). Додавання багаторозрядного слова за допомогою суматора здійснюється порозрядно з урахуванням переносу в сусідній старший розряд. Тому при побудові суматора необхідно враховувати не лише появу переносу в даному розряді, але й можливість отримання аналогічного переносу від сусіднього молодшого розряду.

За принципом побудови і типом використаних елементів розрізняють комбінаційні та накопичувальні суматори. **Накопичувальні** суматори мають власну внутрішню пам'ять, в якій акумулюються результати виконаної операції. При цьому кожний черговий доданок додається до того значення, що вже мається в пристрої. **Комбінаційні** суматори не мають власної пам'яті (запам'ятовувачів, функцію яких виконують тригери). Додавання двійкових чисел здійснюється в них позиційним паралельним кодом одночасно. Результат на виході в комбінаційних суматорах зникає одразу після припинення дії вхідних сигналів.

Для додавання двійкових чисел можуть застосовуватись як одно-, так і багаторозрядні суматори.

18.2 Однорозрядні суматори

Однорозрядні схеми додавання поділяють на **напівсуматори** і **повні однорозрядні суматори**.

Напівсуматор – це функціональний вузол з двома входами, на які подаються два однорозрядні числа A і B , та двома виходами: на одному S формується результат додавання за модулем двох чисел A і B , а на іншому виході P – сигнал перенесення у наступний (старший розряд). На умовному зображенні (рис. 18.1) логічна функція напівсуматора позначається буквами **HS** (від англ. half adder, sum).

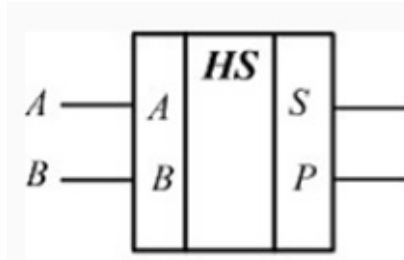


Рисунок 18.1 – Умовне позначення напівсуматора

Функціонування напівсуматора описується таблицею істинності (див.табл. 18.1). Це найзагальніший опис вузла, якому можуть відповідати безліч різних формул і схем.

Таблиця 18.1 – Таблиця істинності напівсуматора

Входи		Виходи	
A	B	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Логічне рівняння для побудови схеми напівсуматора для вихідної функції:

$$S = \bar{A} \cdot B + A \cdot \bar{B} = A \oplus B,$$

$$P = A \cdot B.$$

Найпростішою є реалізація напівсуматора за допомогою двох елементів: «виключального АБО» для отримання суми двох однорозрядних двійкових чисел та логічного елемента 2І для отримання сигналу перенесення (рис. 18.2).

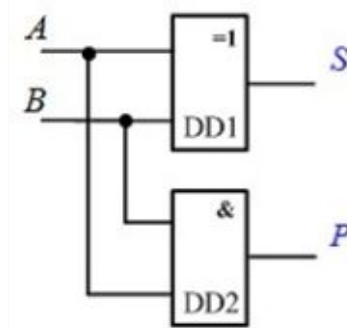


Рисунок 18.2 –Схема напівсуматора на елементі «виключальне АБО»

Логічна схема, що складена на елементах основного базису елементів І, АБО, НІ, зображена на рис. 18.3).

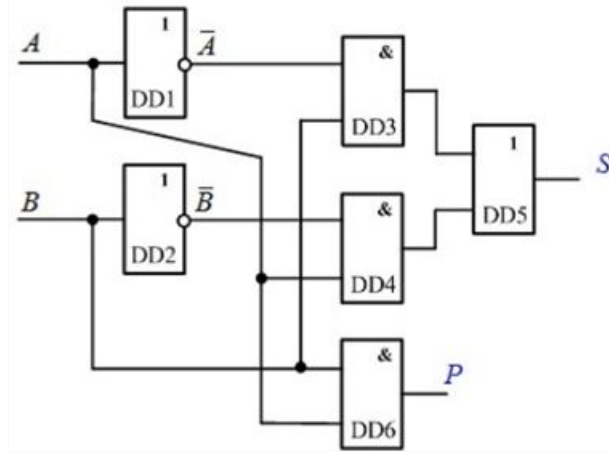


Рисунок 18.3 –Схема напівсуматора на логічних елементах базису І, АБО, НІ

Суматор (повний суматор) – це функціональний вузол з трьома входами, на які подаються два однорозрядні числа A , B і сигнал перенесення з молодшого сусіднього розряду P_{in} , та з двома виходами: на одному S формується результат додавання чисел A , B і P_{in} , а на іншому виході P_{out} – сигнал перенесення у наступний (старший розряд). Повний двійковий однорозрядних суматор зображується на схемах як показано на рис. 18.4). На умовному зображенні логічна функція суматора позначається буквами SM або Σ . На основі однорозрядних схем додавання на три входи та два виходи будуються багаторозрядні суматори будь-якого типу.

Алгоритм роботи однорозрядного суматора відображається таблицею істинності (табл. 18.2). Перші чотири рядки таблиці 18.2 є таблицю істинності напівсуматора.

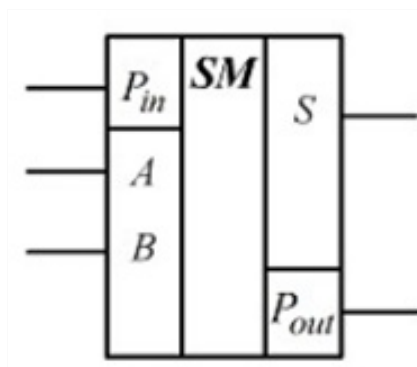


Рисунок 18.4 –Умовне позначення суматора

Таблиця 18.2 – Таблиця істинності суматора

Входи			Виходи	
A	B	P_{in}	S	P_{out}
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

18.3 Послідовний багаторозрядний суматор

Багаторозрядні суматори виконують операцію арифметичного додавання двох багаторозрядних чисел. Схеми повного однорозрядного суматора використовується в якості «будівельних блоків» для отримання схем багаторозрядних суматорів.

При послідовному додаванні використовується один суматор, загальний для всіх розрядів (рис. 18.5). Операнди A_0, A_1, \dots, A_n і B_0, B_1, \dots, B_n вводяться в суматор через входи A і B синхронно, починаючи з молодших розрядів. Двоступеневий D-тригер використовують для запам'ятовування перенесення і забезпечення затримки імпульсу переносу P_{i+1} на час одного такту, тобто до приходу пари доданків наступного розряду, з якими він буде підсумовуватись. Результати підсумовування також зчитуються послідовно, починаючи з молодших розрядів. Для зберігання та вводу операндів на входи суматора, а також для запису результату підсумовування зазвичай використовуються регістри зсуву.

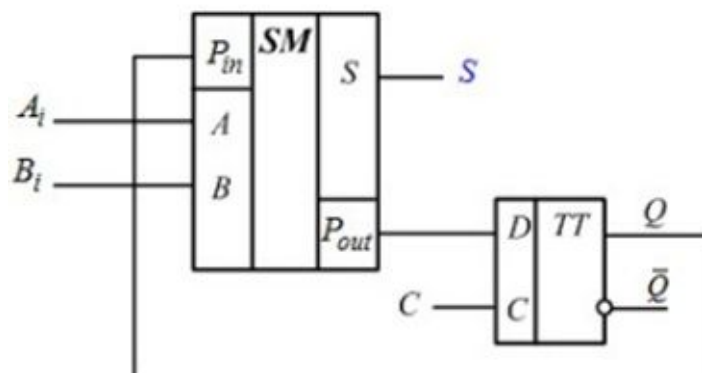


Рисунок 18.5 –Послідовний багаторозрядний суматор

Перевагою послідовних багаторозрядних суматорів є малі апаратні витрати, недоліком – невисока швидкодія. Послідовне додавання виконується за стільки тактів, скільки розрядів у числі. Тому послідовні суматори використовують у відносно повільнодіючих цифрових пристроях.

18.4 Паралельні багаторозрядні суматори

Схема **паралельного суматора з послідовним перенесенням** наведена на рис. 18.6). Кількість суматорів дорівнює кількості розрядів операндів A_0, A_1, \dots, A_n і B_0, B_1, \dots, B_n . Вихід переносу P_{out} кожного суматора з'єднується зі входом переносу P_{in} наступного старшого розряду. На вході перенесення молодшого розряду встановлюється потенціал «0», через те що сигнал перенесення сюди не надходить. Суми розрядних коефіцієнтів A_i і B_i поступають на входи відповідних однорозрядних суматорів паралельно (одночасно), а сигнал перенесення P_{in} передається від розряду до розряду послідовно в часі (асинхронно) і надходить із закінченням операції додавання у попередньому розряді.

Швидкодія таких суматорів обмежена затримкою переносу, тому що формування переносу на виході старшого розряду не може відбутися доти, поки сигнал перенесення не пошириться по всьому ланцюжку суматорів.

Найбільшу швидкодію мають **паралельні суматори з паралельним перенесенням**. Для організації паралельного перенесення застосовуються спеціальні вузли – схеми прискореного перенесення, які випускаються в інтегральному виконанні у вигляді окремих мікросхем або безпосередньо зі схемою суматора.

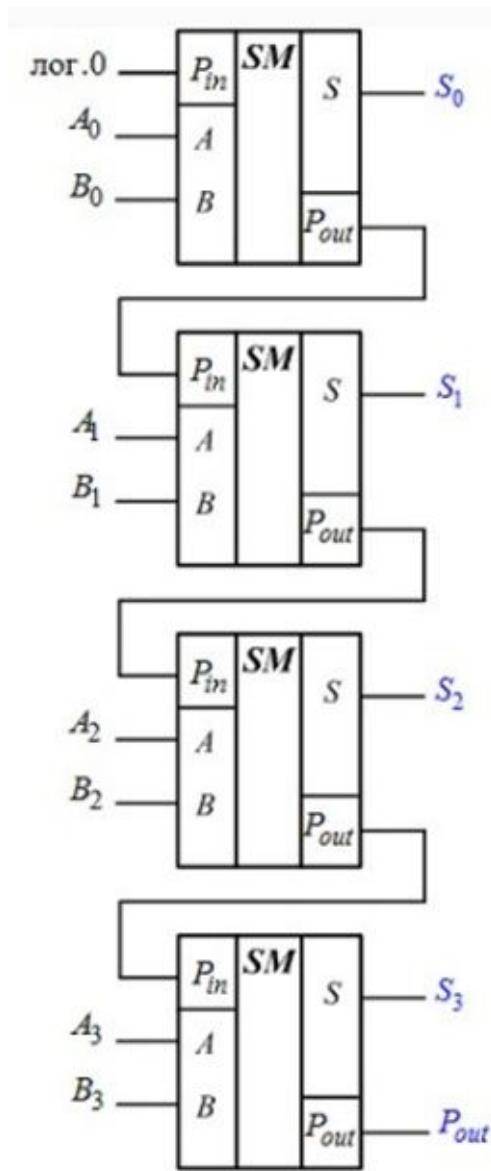


Рисунок 18.6 –Чотирирозрядний паралельний з послідовним перенесенням багаторозрядний суматор

Суматор служить, перш за все, центральним вузлом арифметико-логічного пристрою комп'ютера, який виконує арифметичні і логічні дії над операндами. За допомогою суматора виконуються десятки арифметичних операцій: операція віднімання зводиться до додавання слів в оберненому або доповняльному кодах, операції множення та ділення реалізуються як багаторазові операції додавання та зсуву.