

13 РЕГІСТРИ

Регістр RG (від англ. *register* – запис) – це послідовнісний функціональний вузол, створений із *послідовно або паралельно з'єднаних* тригерів і призначений для зберігання багаторозрядних двійкових чисел та виконання перетворень над ними. Регістри це елементи короткочасної (оперативної) пам'яті. Кожен розряд двійкового числа записується у своєму тригері, тому кількість тригерів в регістрі визначає розрядність записуваного числа. Регістри зазвичай будуються на основі *D-* та *RS-*тригерів, хоча можуть бути реалізовані також на базі функціональніших *JK-*тригерів. Для побудови регістрів можуть використовуватися динамічні (flip-flop) і статичні тригери.

В залежності від способу запису і видачі інформації регістри бувають:

1) **послідовні** – запис інформації в яких виконується послідовно одного двійкового розряду за іншим через один вхід.

2) **паралельні** – запис інформації в яких виконується одночасно (паралельно) за всіма розрядами. Такі регістри тільки приймають, зберігають і передають інформацію. Тому паралельні регістри називають **регістрами пам'яті**. У паралельних регістрах зберігаються слова, які можна логічно порозрядно перетворювати.

3) **послідовно-паралельні** – можуть працювати як послідовні або паралельні, в залежності від сигналу на спеціальному вході керування.

Більшість регістрів мають вхідну і вихідну логіки, тобто комбінаційну схему керування, за допомогою якої виконуються певні операції над словами: записування і виведення інформації за керуючими сигналами, виконання логічних операцій над збереженими словами, зміна напряму зсуву бітів інформації в реверсивних регістрах зсуву, перемикання регістра зсуву з паралельного режиму роботи на послідовний та інші.

13.1 Послідовні регістри

Послідовний регістр – це ланцюжок послідовно увімкнених *D-*тригерів (або *RS-* і *JK-*тригерів, налаштованих на роботу в режимі *D-*тригера). Поява

імпульсу на тактовому вході регістру переміщає записану в ньому інформацію на один розряд вправо або вліво. Через це регістри з послідовним прийомом і видачею інформації називаються **зсувними регістрами або регістрами зсуву**.

Регістри зсуву зазвичай реалізуються на тригерах з динамічним керуванням або на двоступеневих тригерах. Кількість тригерів у ланцюжку, як і в регістрах пам'яті, визначає розрядність регістра. На рис. 13.1 наведені схеми чотирирозрядних регістрів зсуву, реалізованих на D - і RS -тригерах. У першому розряді регістра на RS -тригерах (рис. 13.1,б)) сигнал по вході S одночасно подають через інвертор на вхід R , тим самим реалізуючи D -тригер. Тригери в інших розрядах увімкнені так, що на вхід R завжди надходить сигнал, інвертований щодо сигналу на вході S .

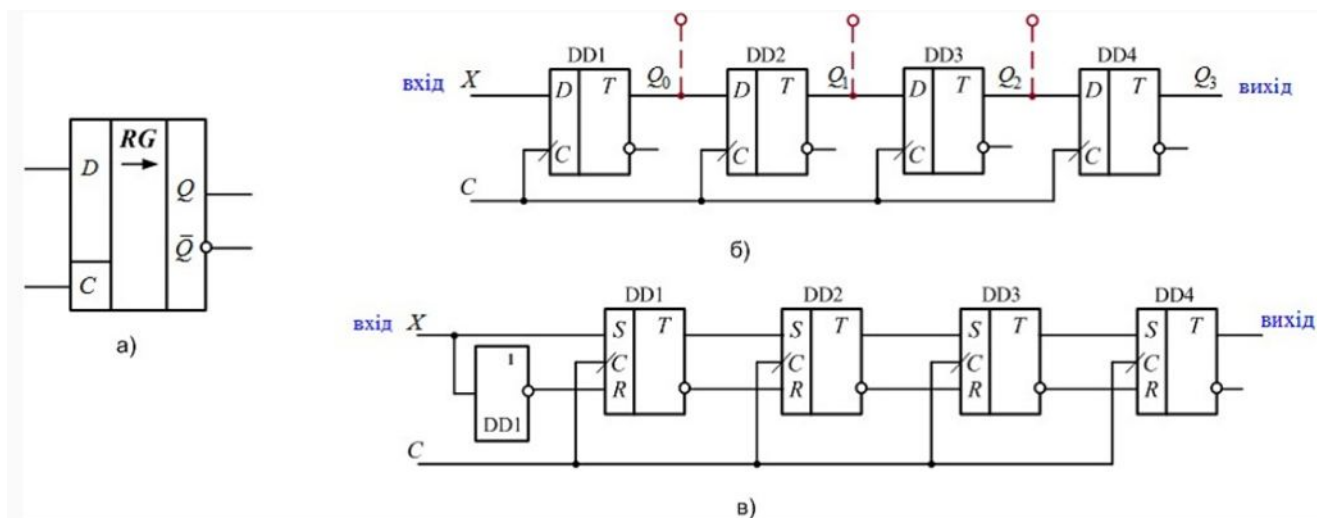


Рисунок 13.1 – Послідовний 4-розрядний регістр: умовне позначення (а), схема на D -тригерах (б), на RS -тригерах (в)

Роботу регістра зсуву розглянемо на прикладі схеми, наведеної на рис. 13.1,б), і проілюструємо часовими діаграмами (рис. 13.2). Вхід D першого тригера $DD1$ служить для прийому в регістр вхідної інформації у вигляді послідовного коду $X_3X_2X_1X_0$. З кожним тактовим імпульсом на цей вхід *повинен* подається код нової *розряду вхідної* інформації. З виходу Q_3 останнього тригера знімається послідовний вихідний код, який з'являється із затримкою щодо вхідного послідовного коду на кількість періодів тактових імпульсів, яке дорівнює кількості розрядів регістра.

Припустимо, що спочатку всі тригери регістра перебувають у стані логічного нуля: $Q3=Q2=Q1=Q0=0$. Якщо на вхід регістра надходить сигнал $X=0$, то при подачі синхроімпульсу C на виходах тригерів залишиться логічний 0.

Після надходження інформативного сигналу $X=1$ та появи синхроімпульсу на вході C у тригер DD1 запишеться логічна 1, а стан тригера DD2 не зміниться ($Q1=0$). Так відбувається тому, що інформативний сигнал проходить зі входу D тригера DD1 до виходу $Q0$ із затримкою, яка більша за час тривалості фронту тактового імпульсу, протягом якого відбувається записування інформації, а до моменту надходження фронту синхроімпульсу на виході тригера DD1 був наявний логічний 0. Через незмінність сигналу на виході тригера DD2 незмінними залишаються і стани тригерів DD3, DD4 ($Q3=Q2=0$). Таким чином, тільки в тригер DD1 записується той біт інформації, яка була на його вході D в момент надходження фронту синхроімпульсу.

З надходженням другого синхроімпульсу сигнал логічна 1 з виходу тригера DD1 запишеться у другий тригер, тобто відбудеться зсув інформаційного біту у сусідній розряд. Завдяки тому, що вихід кожного попереднього розряду з'єднаний із входом D наступного, кожен тактовий імпульс встановлює наступний тригер у стан, в якому до цього знаходився попередній. Так здійснюється зсув інформації вправо у кожному такті синхроімпульсів. Зважаючи на те що кожен тактовий імпульс послідовно зсуває код числа у регістрі на один розряд, для запису n -розрядного коду потрібно n тактів.

Після надходження чотирьох синхроімпульсів регістр повністю заповнюється розрядами числа, що вводиться через послідовний вхід X . Протягом наступних чотирьох синхроімпульсів відбувається послідовне порозрядне виведення записаного числа через вихід $Q3$. Такий режим називається **режимом послідовного зчитування**. Якщо під час зчитування інформаційного коду на вхід регістра подається сигнал логічного 0, то регістр виявляється повністю очищеним.

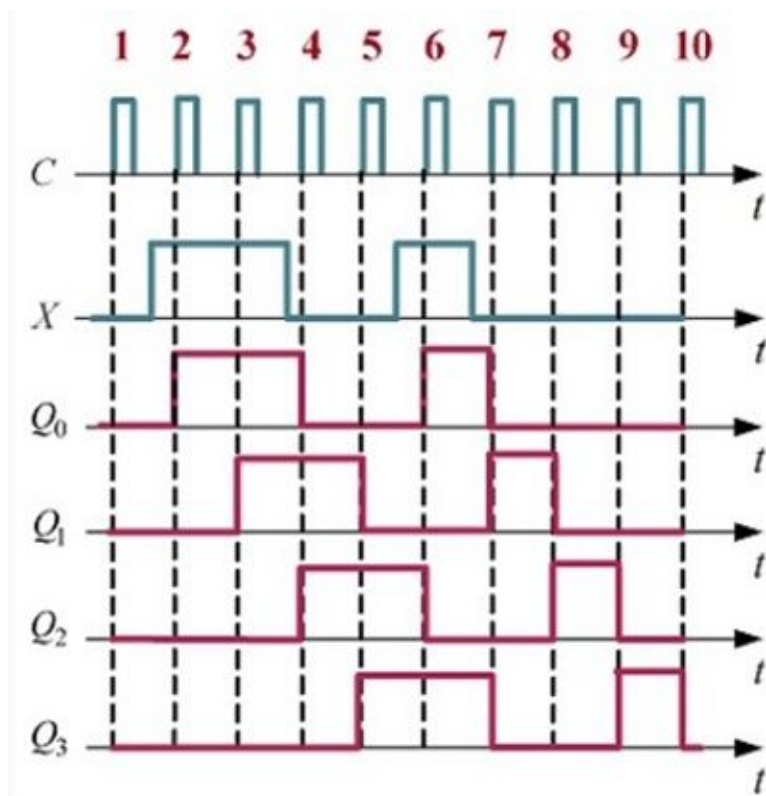


Рисунок 13.2 – Часові діаграми до пояснення роботи 4-розрядного послідовного регістра

Послідовні регістри, схеми яких зображені на рис. 13.1, виконують зсув інформаційних бітів тільки в одну сторону. Такі регістри називають регістром із зсувом вправо. Існують **реверсивні регістри**, в яких зсув інформації здійснюється в обидві сторони. У реверсивних регістрах тригер кожного розряду має бути з'єднаний через логічні елементи із входами попереднього і наступного розрядів. Напрямок зсуву визначається керуючим сигналом, що подається на спеціальний вхід керування напрямом зсуву. На рис. 13.3 зображена схема реверсивного 4-розрядного регістра.

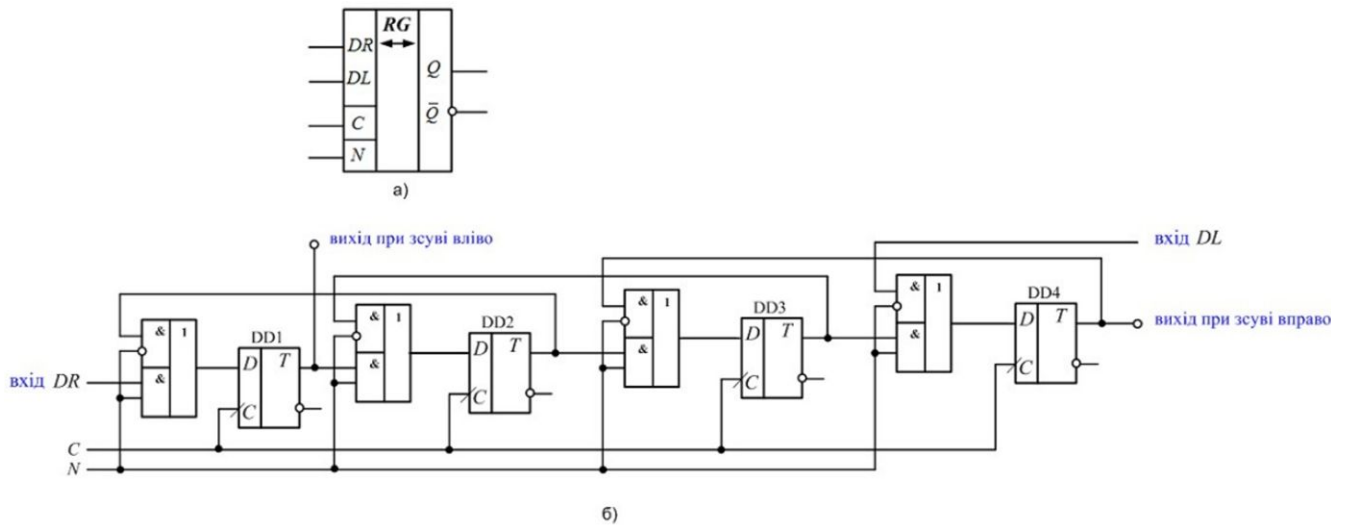


Рисунок 13.3 – Реверсивний чотирирозрядний регістр зсуву: умовне позначення (а), схема на D -тригерах (б)

13.2 Паралельні регістри

Паралельний регістр – це набір синхронних тригерів з паралельним прийомом і видачею інформації. Умовне зображення регістра зображене на рис. 13.4,а). На рис. 13.4,б) наведена схема чотирирозрядного паралельного регістра на D -тригерах. Код числа $X_3X_2X_1X_0$, що записується, подається на інформаційні D входи чотирьох тригерів і записується у регістр з приходом тактового імпульсу C . Під час запису інформації в паралельний регістр всі біти (двійкові розряди) повинні записуватися одночасно, тому всі тактові входи тригерів, що входять до складу регістра, об'єднуються паралельно. Для реалізації паралельних регістрів можна використати як статичні тригери (зі спрацюванням за рівнем синхроімпульсу), так і з динамічним (за фронтом) входом синхронізації (рис. 13.4 12,57,в). Вихідна інформація змінюється після подачі нового вхідного слова і приходом наступного синхроімпульсу. Інформація може зберігатися як завгодно довго, якщо на вхід C не надходять імпульси або якщо не вимикається живлення функціонального вузла. Такі регістри використовують в системах оперативної пам'яті. Кількість тригерів в паралельних регістрах визначає максимальну розрядність збережених слів.

У деяких випадках регістри можуть мати вхід для установки виходів в стан логічного 0 перед записом інформації. Цей асинхронний вхід називають

«входом скидання» тригерів регістра (вхід R у D -тригерах на рис. 13.4,г). Коли необхідно зберігати інформацію на кількох тактах у регістрах на D -тригерах – використовується дозволяючий V -вхід або додається комбінаційна частина вузла для блокування проходження записаної інформації на вихід.

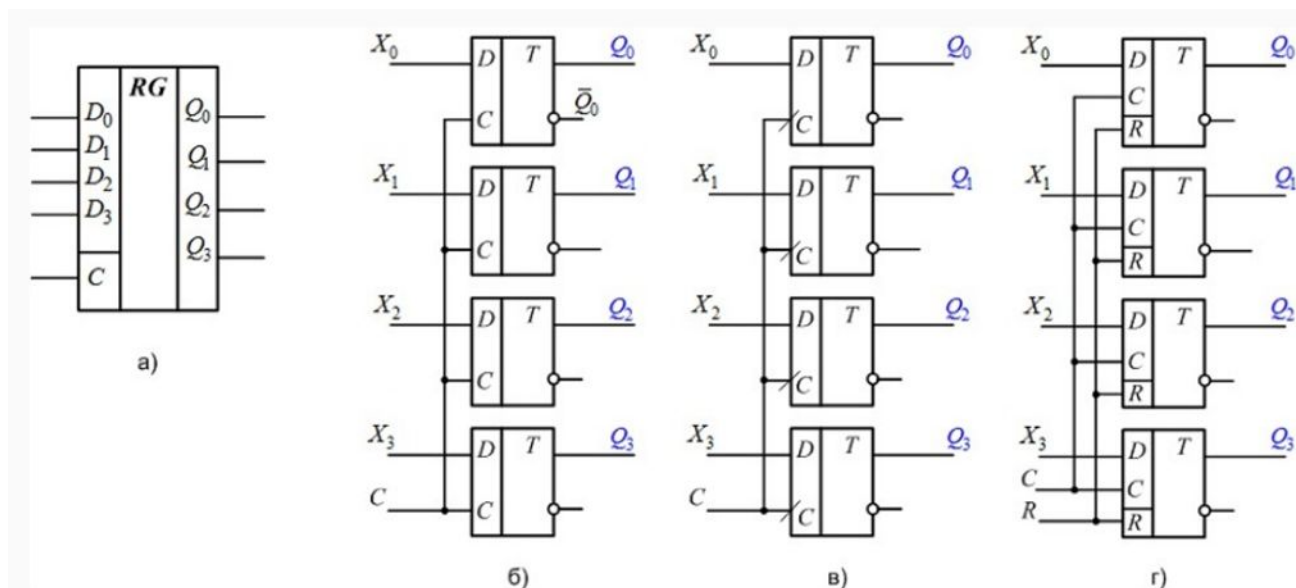


Рисунок 13.4 – Паралельний чотирирозрядний регістр: умовне позначення (а), схема на статичних D -тригерах (б), на динамічних D -тригерах (в), схема на D -тригерах з входом скидання (г)

З ускладненням алгоритму функціонування до множини тригерів додається **комбінаційна схема керування**, яка забезпечує запис інформації у певні моменти часу, збереження інформації впродовж заданого часу і появу збереженої інформації за запитом. На рис. 13.5,а) наведена схема 4-розрядного регістра на RS -тригерах, а умовне графічне позначення паралельного регістра наведено на рис. 13.5,б).

Для запису інформації потрібен імпульс **DE** (data enable), який відкриває вхідні елементи $\&(D)$. З приходом імпульсу **DE** код вхідного числа записується в регістр. Після закінчення імпульсу **DE** елементи $DD1\dots DD4$ закриваються, а інформація, що записана в регістр, зберігається незважаючи на те, що стан інформаційних входів може змінюватися.

Для зчитування інформації подається сигнал логічна 1 на вхід **OE** (output enable). За цим сигналом на вихідні шини регістру $Q3, Q2, Q1, Q0$ на час дії сигналу передається код числа, записаного в регістрі. Після закінчення операції

читання логічні елементи $\&(I)$ закриваються, а інформація в регістрі, як і раніше, зберігається. За такої схеми керування можливе багаторазове зчитування інформації.

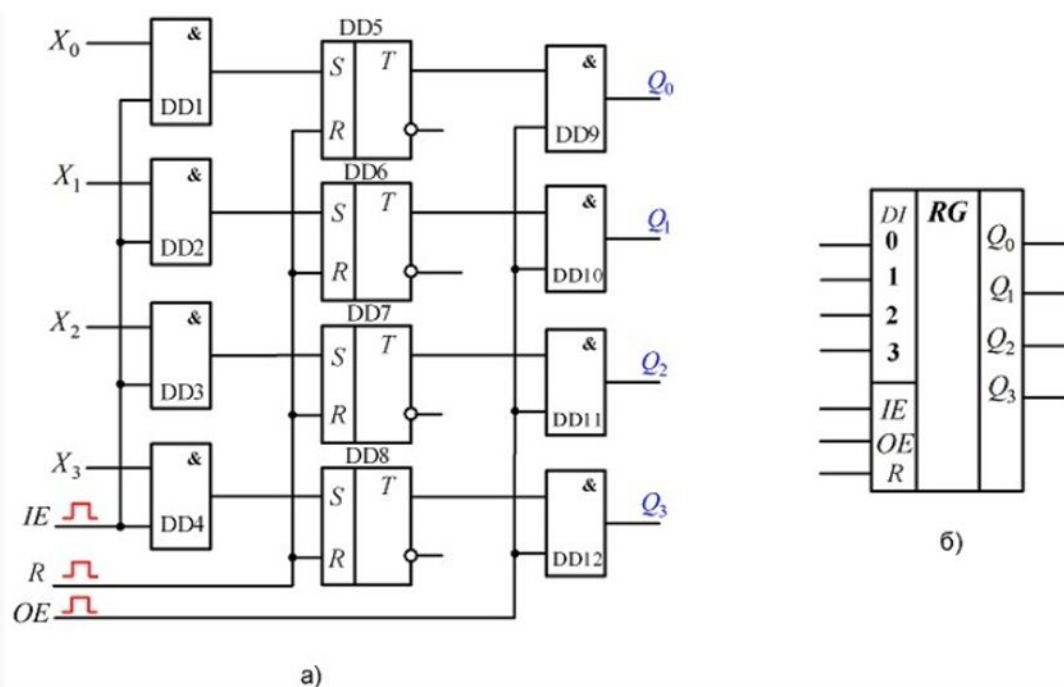


Рисунок 13.5 – Регістр пам'яті на RS -тригерах зі схемою керування записом та зчитуванням інформації: схема (а), умовне позначення (б)

В даний час паралельні регістри зазвичай є частиною складніших цифрових пристроїв – цифрових фільтрів, ОЗП, синтезаторів частот або схем прямого цифрового синтезу DDS. Подібні схеми не реалізуються на мікросхемах середньої інтеграції, а є частиною великих інтегральних мікросхем (ВІС).

13.3 Послідовно-паралельні регістри

На практиці дуже зручними є універсальні регістри – *регістри зсуву з комбінованими способами вводу і виводу інформації*: послідовно-паралельним вводом та послідовно-паралельним виводом інформації. Регістр з послідовним входом та паралельним виходом типу SIPO (від англ. serial input, parallel output) легко отримати із послідовного регістра, схема якого зображена на рис. 13.1,б), якщо передбачити доступ до виходів усіх тригерів регістру (червоні пунктирні лінії). Паралельний вихідний код $Q_3Q_2Q_1Q_0$ можна зняти з виходів усіх тригерів регістра зсуву, забезпечивши їх вихідними ключами, подібними до вихідних

ключів паралельного регістра (рис. 13.5). Умовне зображення регістра з послідовно-паралельним виводом інформації показано на рис. 13.6.

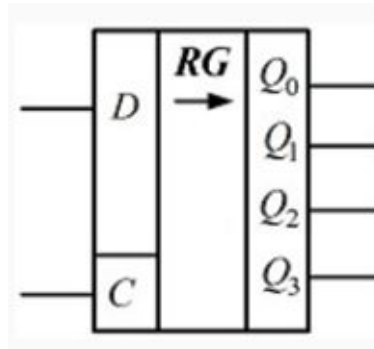


Рисунок 13.6 – Умовне зображення чотирирозрядного регістра зсуву з послідовно-паралельним виводом інформації

Універсальні регістри використовують і як регістри пам'яті, і як регістри зсуву для запису, зберігання та видачі інформації, але основним їх призначенням є перетворення послідовного коду на паралельний і, навпаки, паралельного на послідовний. *Регістр типу SIPO зазвичай служить для перетворення послідовного коду на паралельний.* Послідовний код використовується для передачі великої кількості двійкової інформації по обмеженій кількості з'єднувальних ліній. Для паралельної передачі розрядів потрібна велика кількість з'єднувальних провідників. Якщо двійкові розряди послідовно біт за бітом передавати через один провідник, то можна значно зменшити розміри з'єднувальних ліній на платі та розміри корпусів мікросхем.

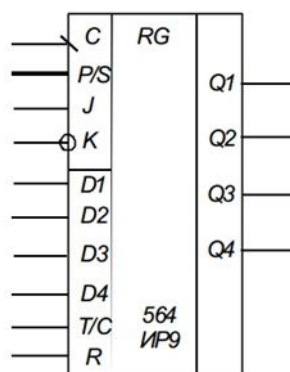


Рисунок 13.7 – Універсальний регістр

На рисунку 13.7, як приклад, наведено умовне позначення універсального регістру типу 564IP9.

Він має входи:

- 1) синхронізації (тактовий) – C ;
- 2) завдання режиму роботи (паралельний – послідовний) – P/S ;
- 3) послідовного вводу інформації (входи JK -тригера першого розряду) – J ,
 \bar{K} .
- 4) паралельного вводу інформації – D_1, D_2, D_3, D_4 ;
- 5) завдання видачі інформації в прямому або інверсному коді – T/C ;
- 6) установки нульового стану R .

Виходи: Q_1, Q_2, Q_3, Q_4 . При видачі інформації у послідовному коді, останній знімається з виходу Q_4 .