

10 ШИФРАТОРИ. ДЕШИФРАТОРИ

10.1 Поняття про цифрові мікроелектронні пристрої

Цифрові мікроелектронні пристрої являють собою дискретні цифрові автомати, виконані на ІМС і призначені для обробки інформації, що представлена у вигляді цифрового коду. Вони використовуються для створення цифрових інформаційних, вимірювальних систем та систем керування.

Усі цифрові пристрої поділяються на два великих класи: комбінаційні і послідовнісні.

Комбінаційні пристрої реалізують функції, які залежать тільки від комбінації змінних, що до них входять, у даний момент часу і не залежать від стану пристрою у попередній момент часу. Найпростішими прикладами таких пристроїв є логічні елементи.

Послідовнісні (від слова "послідовність") **пристрої** реалізують функції, що залежать не тільки від комбінації вхідних змінних у даний момент часу, а ще й від стану пристрою у попередній момент часу: вони мають пам'ять. Найпростішими прикладами таких пристроїв є тригери.

Основними (найбільш вживаними) мікроелектронними цифровими пристроями є:

- 1) дешифратори;
- 2) мультиплексори;
- 3) лічильники імпульсів;
- 4) регістри;
- 5) цифро-аналогові та аналого-цифрові перетворювачі.

Будуються ці пристрої на логічних елементах і тригерах.

10.2 Шифратори

Шифратор призначений для перетворення цифрової інформації, що подана унітарним (унітарний код – двійковий код фіксованої довжини) n -розрядним кодом, у еквівалентний двійковий m -розрядний код.

Унітарний код це код для якого може існувати тільки один активний стан змінної X_i із множини вхідних сигналів $\{X_{n-1} \dots X_1, X_0\}$. Отже, шифратор – це перетворювач унітарного коду "1 з n " у двійковий паралельний код, у якого число виходів m однозначно зв'язане з числом входів n як 2^m .

Якщо $n=2^m$, що означає використання повного набору вихідних двійкових комбінацій Y_i , такий шифратор називають **повним**. Наприклад, шифратор 8-3 є повним, бо він реалізує повний набір можливих комбінацій змінних X_i ($n=8$) у повний вихідний набір Y_i ($m=2$) як $2^3=8$.

У **неповному** шифраторі число входів n не відповідає числу всіх можливих вихідних комбінацій 2^m , причому завжди $n < 2^m$, що відповідно утворює певне число невикористаних вихідних наборів. Прикладом неповного шифратора, який найчастіше зустрічається на практиці, є шифратор 10-4, що використовується для кодування десяткових чисел у двійково-десятковий код ДДК /8-4-2-1/. Такий шифратор можна застосовувати для кодування десяткових символів (0...9), наприклад, з клавіатури пульта керування. Схематичне позначення шифратора наведено на рис. 10.1,а, а схема внутрішньої будови на рис. 10.1,б. Здійснити синтез повного або неповного шифратора можна на базі логічних елементів. Як приклад, здійснимо синтез повного шифратора 8-1.

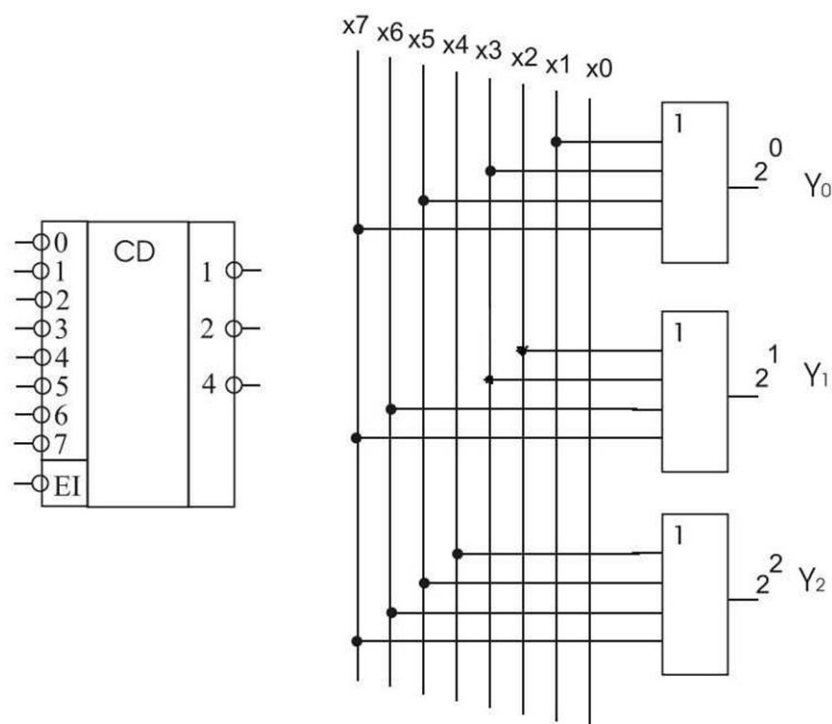


Рисунок 10.1 – Умовне позначення та внутрішня будова шифратора 8-3

Шифратор 8-3 може бути описаний таблицею істинності (табл.10.1).

Таблиця 10.1 – Таблиця істинності шифратора 8-3

N	Входи								Виходи		
	x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7	y_2	y_1	y_0
0	1	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	1
2	0	0	1	0	0	0	0	0	0	1	0
3	0	0	0	1	0	0	0	0	0	1	1
4	0	0	0	0	1	0	0	0	1	0	0
5	0	0	0	0	0	1	0	0	1	0	1
6	0	0	0	0	0	0	1	0	1	1	0
7	0	0	0	0	0	0	0	1	1	1	1

Окремі інтегральні мікросхеми зустрічаються рідко, як правило існують мікросхеми, що виконують комбіновані функції, наприклад "шифратор/дешифратор". На практиці використовують пріоритетні шифратори, у яких вихідний код завжди має найбільший номер активного вхідного сигналу $\{x_0..x_n\}$. Приклад роботи пріоритетного шифратора: вхід $\{x_0=1, x_1=1, x_2=0, x_3=0, x_4=1\}$, тоді вихід $Y=4$.

10.3 Дешифратори

Дешифратори (декодери) є комбінаційними пристроями, призначеними для перетворення кодованих двійкових вхідних сигналів у сигнали керування виконавчими пристроями, пристроями відображення інформації і т.п.

Дешифратор призначений для розпізнавання (дешифрації) числа, яке подане позиційним n -розрядним двійковим кодом. Найчастіше дешифратор $n-m$ виконує функцію перетворення двійкового кода в унітарний код "1 з m ", тобто виконує функцію, що обернена дії шифратора, і тому для повного дешифратора справедливе співвідношення $m=2^n$, де m – порядковий номер виходу Y_i дешифратора.

У загальному випадку дешифратор має декілька входів (за кількістю розрядів двійкових чисел, які необхідно декодувати) і декілька виходів.

Кожній комбінації вхідних сигналів відповідає певна комбінація вихідних.

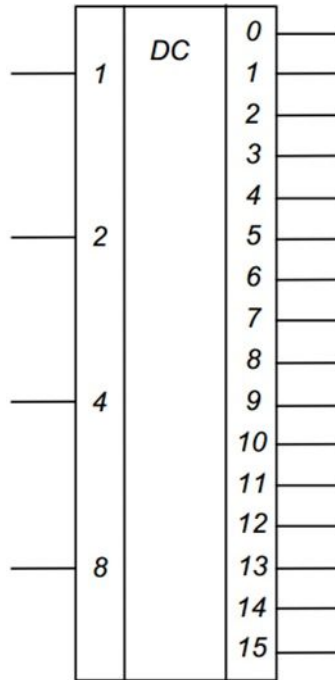


Рисунок 10.2 – Умовне позначення двійкового дешифратора

Наприклад, **двійковий дешифратор**, умовне позначення якого наведено на рисунку 10.2, має чотири входи ($n=4$) з ваговими коефіцієнтами 1, 2, 4, 8, що відповідає чотирьом розрядам послідовного двійкового коду ($2^0, 2^1, 2^2, 2^3$), і шістнадцять виходів: від 0 до 15 ($N=2^n=2^4=16$). Кожній комбінації нулів і одиниць на входах відповідає одиниця на відповідному виході.

У двійково-десятькового дешифратора з інверсними виходами, умовне позначення якого наведено на рисунку 10.3, кожній з перших десяти двійкових комбінацій (двійково–десятьковий код) відповідає нуль на відповідному виході. Такі дешифратори у вигляді ІМС застосовують для керування десятковими неоновими індикаторами, у яких десяткові знаки являють собою фігурні катоди неонові лампи.

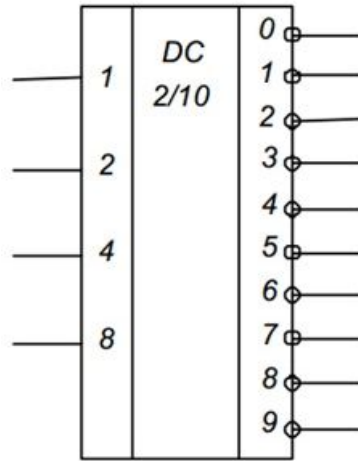


Рисунок 10.3 – Умовне позначення двійково-десятькового дешифратора

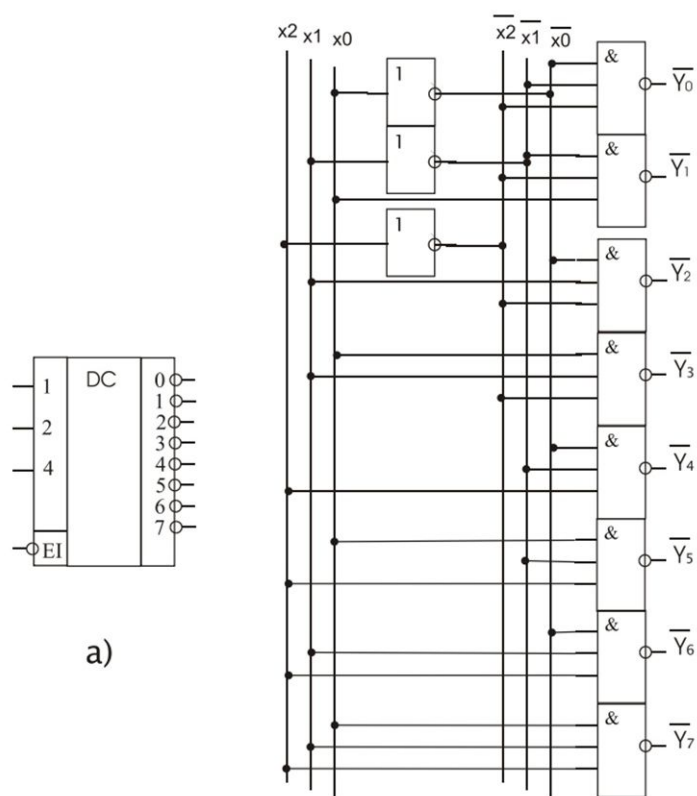


Рисунок 10.4 – Схематичне позначення та внутрішня структура дешифратора 3-8

Дешифратор 3-8 (рис. 10.4) може бути описаний таблицею істинності (табл.10.2).

Таблиця 10.2 – Таблиця істинності дешифратора із трьома входами

N	Входи			Виходи							
	x_2	x_1	x_0	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7
0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0
2	0	1	0	0	0	1	0	0	0	0	0
3	0	1	1	0	0	0	1	0	0	0	0

4	1	0	0	0	0	0	0	1	0	0	0
5	1	0	1	0	0	0	0	0	1	0	0
6	1	1	0	0	0	0	0	0	0	1	0
7	1	1	1	0	0	0	0	0	0	0	1

У неповного дешифратора число виходів m не відповідає значенню ($m < 2^n$). В інтегральному виконанні зустрічаються як повні (К155ИД3, К155ИД7), неповні (К555ИД5, К555ИД10, К561ИД1), а також здвоєні (К155ИД4) дешифратори.

Мікросхеми *функціональних КІІ* перетворення та комутування цифрових сигналів, крім інформаційних входів, можуть мати ще додаткові входи керування – ЕІ (дозвіл по входу) і ЕО (дозвіл по виходу). За допомогою входів дозволу ЕІ і ЕО можна реалізувати також нарощення розрядності (збільшення числа входів або виходів) каскадуванням відповідних інтегральних схем.

У випадках, коли потрібно побудувати дешифратор на велику кількість виходів на базі дешифраторів з меншою кількістю виходів, застосовують принцип каскадування. Він полягає у тому, що входи дешифраторів поділяють на групи, кожна з яких реалізує свою групу логічних функцій. При цьому всі дешифратори повинні бути керованими, тобто мати дозволяючі входи ЕІ. На рис.10.5 показано двокаскадне з'єднання двох дешифраторів 3-8 для побудови повного дешифратора 4-16, що має входи дозволу ЕІ. Каскад 1 працює при активних входах X_0, X_1, X_2 за умови $X_3=0$. Як тільки на входах дешифратора з'явиться код $\{x_3\bar{x}_2\bar{x}_1\bar{x}_0\}=\{1000\}$, верхній каскад закриється, оскільки $X_3=\overline{EI}=1$, а відкриється нижній каскад, який через інвертор отримує дозволяючий рівень $X_3=\overline{EI}=0$.

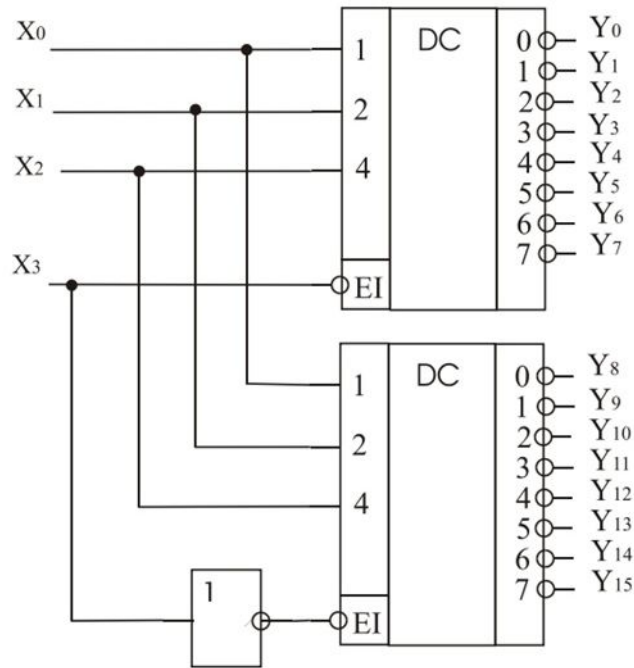


Рисунок 10.5 – Каскадний синтез дешифратора 4-16

Двійково-семисегментний дешифратор, зображений на рисунку 10.6,а, перетворює двійкову комбінацію вхідних сигналів у комбінацію вихідних, необхідну для вмикання відповідної комбінації сегментів семисегментного десяткового індикатора – рисунок 10.6,б.

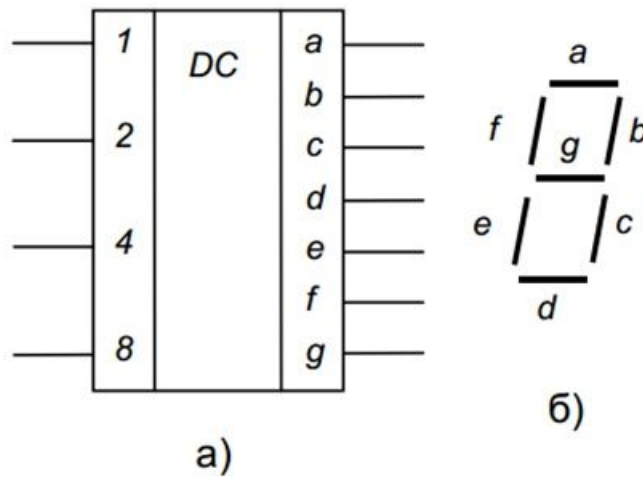


Рисунок 10.6 – Двійково-семисегментний дешифратор (а) і схема розміщення сегментів індикатора (б)