

9 ТРИГЕРИ

9.1 Загальні відомості про тригери та їхнє призначення

Основою послідовнісних логічних пристроїв (пристроїв з пам'яттю) є тригери. Тригер забезпечує запам'ятовування елементарного об'єму дискретної інформації – 1 біт.

Тригери (від англійського *trigger* – заскочка) – це спускові імпульсні пристрої з позитивним зворотним зв'язком, що мають два сталих стани рівноваги і можуть переходити із одного стану в інший під дією сигналу, який перевищує за значенням деякий рівень – поріг спрацювання пристрою.

Тригери можуть бути побудовані на напівпровідникових приладах, що мають ділянку з негативною крутістю характеристики (наприклад, на тиристорах). Сучасні тригери, як правило, будують на основі двокаскадних підсилювачів з позитивним зворотним зв'язком. Тригери в інтегральному виконанні будують на логічних цифрових елементах.

Тригери використовуються для:

- 1) перетворення імпульсу довільної форми у прямокутну, тобто застосовуються як формувачі імпульсів прямокутної форми (тригери Шмітта);
- 2) створення електронних реле;
- 3) створення пристроїв підрахунку імпульсів і ділення частоти надходження імпульсів;
- 4) зберігання інформації у двійковому коді.

9.2 Тригери на логічних елементах

Тригери в інтегральному виконанні будуються з простих логічних елементів типу АБО-НІ, І-НІ. Зазвичай мікросхема вміщує 1...4 тригери із спільними колами живлення, а інколи і спільними колами синхронізації або керування. У загальному випадку тригер складаються з логічного пристрою керування та власне тригера як елемента пам'яті. *Є велика кількість різноманітних схем тригерів з різними функціональними можливостями.*

Узагальнену структурну схему тригера зображено на рисунку 9.1.

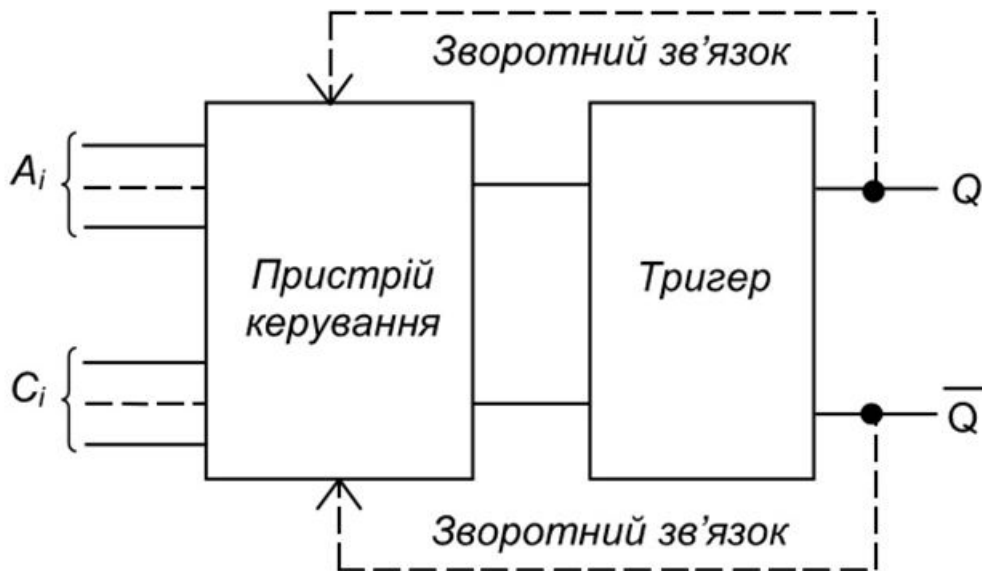


Рисунок 9.1 – Структурна схема тригера

Пристрій керування призначений для перетворення сигналів, що надходять до входів A_i , у вигляд, придатний для керування *власне* тригером, що виконує функцію елемента пам'яті.

Тригер має два входи:

A_i – **інформаційний**;

C_i – **тактовий** або **синхронізуючий**.

Тригер має два виходи:

Q – **прямий** (одиничний);

\bar{Q} – **інверсний** (нульовий).

За способом занесення інформації тригери поділяються на **асинхронні**, що змінюють свій стан одразу після надходження сигналу на певний інформаційний вхід, і **синхронні** (тактовані), які спрацьовують не тільки за наявності сигналів на інформаційних входах, а лише після надходження синхронізуючого (тактового) сигналу на певний вхід синхронізації.

Роботу тригерів (і послідовнісних пристроїв взагалі) описують за допомогою логічних функцій або частіше (для наочності) за допомогою **таблиць переходів**. У таблицях вказують всі можливі комбінації сигналів на інформаційних входах у даний момент часу t^i і стан, в який перейде тригер під дією цих сигналів у наступний момент часу t^{i+1} . Причому, наступний момент часу у асинхронного тригера настає одразу після зміни комбінації сигналів на

інформаційних входах, а у синхронного – після надходження тактового сигналу (як правило, це імпульс) на відповідний вхід синхронізації.

Стани тригера в таблицях переходів зазвичай вказують так:

0 – тригер має сигнал на виході $Q = 0$ (**нульовий стан**) незалежно від сигналів на входах;

1 – тригер має сигнал на виході $Q = 1$ (**одиничний стан**) незалежно від сигналів на входах;

Q_i – стан тригера не змінюється при зміні сигналів на входах;

\bar{Q}_i – стан тригера змінюється на протилежний при зміні сигналів на входах;

X – **невизначений стан** тригера, коли він після зміни сигналів на входах рівноможливо може опинитися в нульовому ($Q = 0$) або в одиничному ($Q = 1$) стані.

Стверджують, що навіть за найпростішої конфігурації тригерного пристрою, яка має один інформаційний вхід і два виходи, можна отримати 25 функціональних різновидів тригерів. При двох входах їх буде вже 625. Практично застосовують 6 – 8 типів.

Найбільш розповсюджені з них RS-тригери, D-тригери, T-тригери, JK-тригери. Часто тригери будують комбінованими: RSD-тригер, RST-тригер тощо.

9.2.1 RS-тригер

Умовні позначення двовходових асинхронних RS-тригерів з прямими (які реагують на наявність 1) і **інверсними** (які реагують на наявність 0) **входами** наведено на рисунку 9.2.

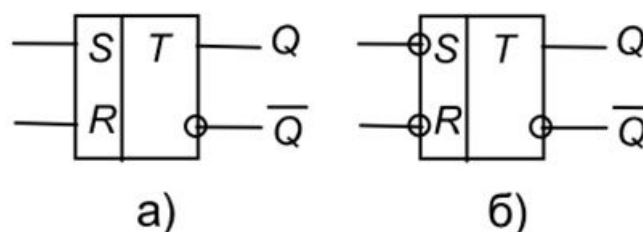


Рисунок 9.2 – Умовні позначення RS-тригера з прямими (а) й інверсними (б) входами

Свою назву *RS*-тригер отримав від перших літер англійських слів *set* - встановлювати (*S*) та *reset* – відновлювати (*R*).

S – інформаційний вхід, призначений для устанавлення тригера в одиничний стан ($Q=1$), а *R* – вхід, призначений для повертання тригера у нульовий стан ($Q=0$).

Роботу тригерів описують таблиці переходів наведені в табл. 9.1. Схеми таких *RS*-тригерів, побудованих на елементах І-НІ та АБО-НІ зображено на рис. 9.3.

Таблиця 9.1 – Таблиці переходів *RS*-тригерів

| з прямими входами | | | з інверсними входами | | |
|-------------------|----------|-----------|----------------------|----------|-----------|
| t_i | | t_{i+1} | t_i | | t_{i+1} |
| <i>S</i> | <i>R</i> | <i>Q</i> | <i>S</i> | <i>R</i> | <i>Q</i> |
| 1 | 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 0 | Q_i | 1 | 1 | X |
| 1 | 1 | X | 0 | 0 | Q_i |

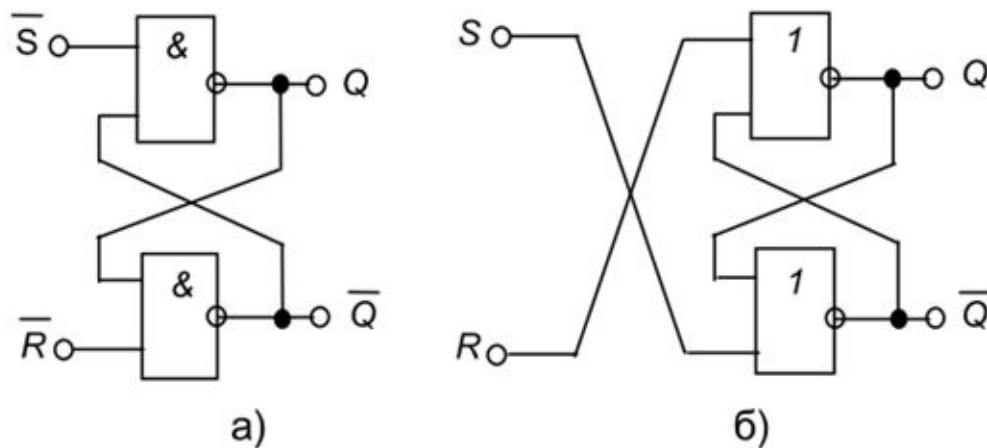


Рисунок 9.3 – *RS*-тригер з інверсними входами на елементах І-НІ (а) та з прямими входами на елементах АБО-НІ (б)

Схема і умовне позначення синхронного *RS*-тригера з прямими входами, побудованого на елементах І-НІ, наведено на рисунку 9.4.

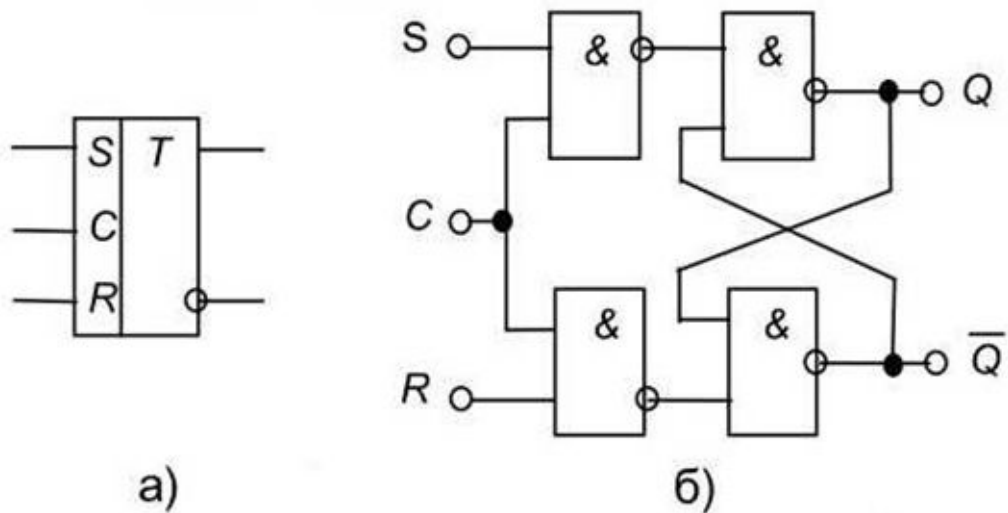


Рисунок 9.4 – Синхронний RS-тригер з прямими входами, побудованого на елементах І-НІ

Слід зазначити, що **тактові входи** бувають **потенціальні прямі**, як у даному випадку (тригер змінює свій стан при надходженні сигналу 1 на вхід C), та **інверсні** (тригер змінює стан при надходженні сигналу 0); або **імпульсні** – також прямі (коли тригер змінює свій стан при зміні сигналу на тактовому вході з 0 на 1) й інверсні (з 1 на 0 відповідно).

9.2.2 Тригер *D*-типу (*D*-тригер)

***D*-тригер** (від англійського *delay* – затримка) має два входи: *D* – інформаційний та *C* – тактовий (синхронізуючий): *D-тригер синхронний*. Це означає, що інформація, яка надходить на вхід *D*, запам'ятовується лише при надходженні синхронізуючого імпульсу на вхід *C*, тобто із затримкою на час надходження останнього. Тому *D*-тригер ще називають тригером затримки.

Умовне позначення *D*-тригера з прямим імпульсним входом синхронізації та таблиця переходів наведено на рис.9.5, а часові діаграми його роботи – на рис. 9.6.

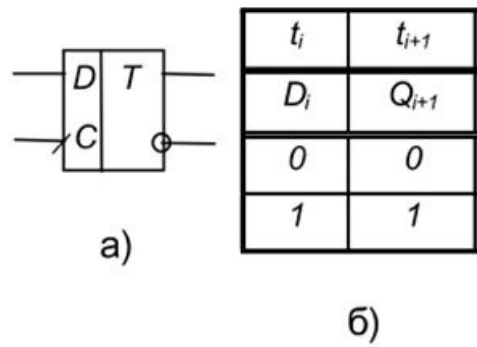


Рисунок 9.5 – Умовне позначення (а) і таблиця переходів (б) D-тригера

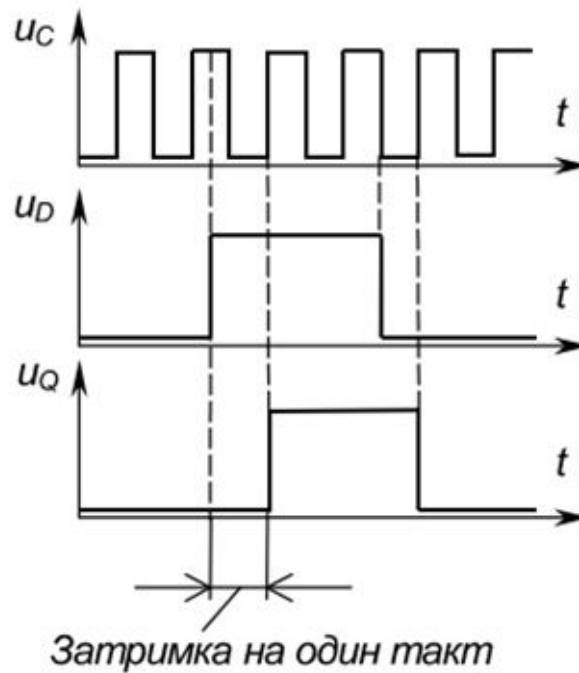


Рисунок 9.6 – Часові діаграми роботи D-тригера

9.2.3 Тригер T -типу (T -тригер)

T -тригер (від англійського *toggle* – перекидатись) ще називають тригером поділювачем на два, або лічильним тригером. Тригер має тільки один тактовий вхід, а його стан змінюється на протилежний з надходженням на вхід кожного імпульсу. Цей тригер використовують для лічення та ділення частоти імпульсів.

Умовне позначення та часові діаграми роботи T -тригера з інверсним імпульсним входом наведено на рисунку 9.7.

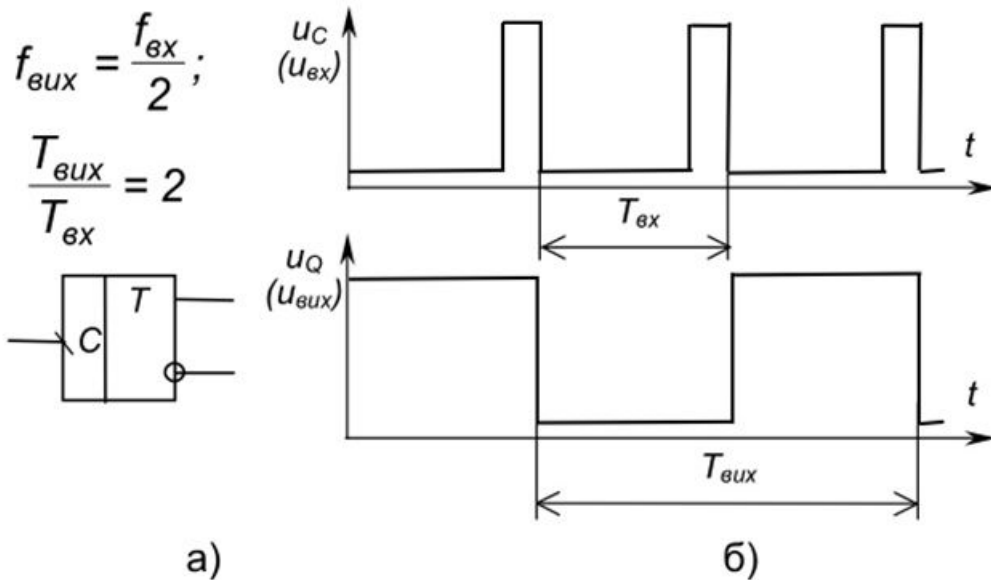


Рисунок 9.7 – Умовне позначення (а) та часові діаграми роботи (б) T -тригера

9.2.4 JK - тригер

Синхронний **JK -тригер** має два інформаційних входи J (*jump* – стрибок) і K (*kill* – відключення) та тактовий C . Умовне позначення та таблиця переходів JK -тригера з прямим імпульсним тактовим входом наведено на рисунку 9.8.

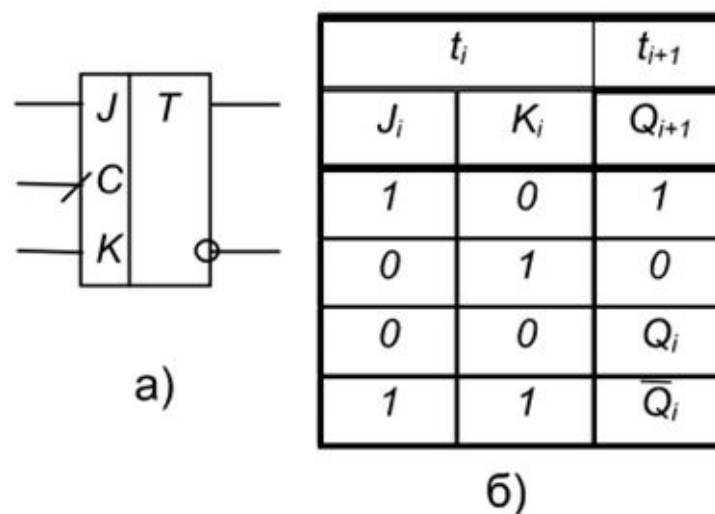


Рисунок 9.8 – Умовне позначення (а) та таблиця переходів (б) JK -тригера

JK -тригер є універсальним, бо він може виконувати роль RS -тригера, якщо використовувати вхід J як S , а K як R (при цьому таблиця переходів RS -тригера відповідає першим трьом рядкам таблиці переходів JK -тригера). Якщо задати одиниці на обох інформаційних входах, JK -тригер стає T -тригером.

Схеми використання JK -тригера як T -тригера та D -тригера зображено на рисунку 9.9.

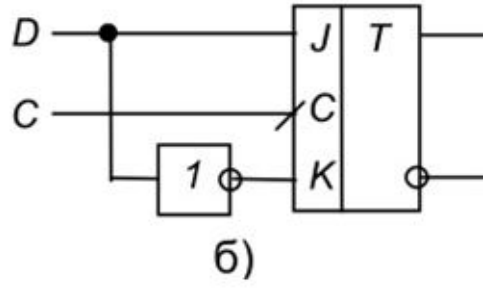
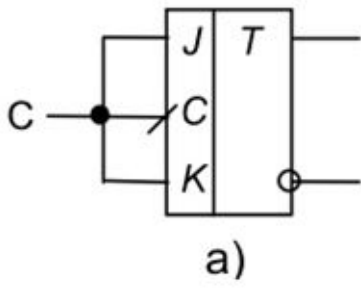


Рисунок 9.9 – Використання JK-тригера як T-тригера (а) та D-тригера (б)