

ОРГАНІЗАЦІЯ ОСНОВНОЇ ПАМ'ЯТІ КОМП'ЮТЕРА

Основна пам'ять (ОП) є єдиним видом пам'яті, до якої ЦП може звертатися безпосередньо (виняток становлять лише регістри центрального процесора). Інформація, що зберігається на зовнішніх ЗП, стає доступною процесору тільки після того, як буде переписана в основну пам'ять.

Основну пам'ять утворюють запам'ятовуючі пристрої з довільним доступом. Такі ЗП утворені як масив комірок, а «довільний доступ» означає, що звернення до будь-якої комірки займає один і той же час і може проводитися в довільній послідовності. Кожна комірка містить фіксоване число запам'ятовуючих елементів і має унікальну адресу, що дозволяє розрізняти комірки під час звернення до них для виконання операцій запису і зчитування.

Наслідком величезних успіхів у області напівпровідникових технологій стала зміна елементної бази основної пам'яті. На зміну ЗП на базі феромагнітних кілець прийшли напівпровідникові мікросхеми, використання яких у наші дні стало широко розповсюдженим.

Основна пам'ять може включати два типи пристроїв: *оперативні запам'ятовуючі пристрої* (ОЗП) і *постійні запам'ятовуючі пристрої* (ПЗП).

Переважну частку основної пам'яті утворює ОЗП, який називають оперативним, тому що він допускає як запис, так і зчитування інформації, причому обидві операції виконуються однотипно, практично з однією і тією ж швидкістю, і проводяться за допомогою електричних сигналів. У англійській літературі ОЗП відповідає абревіатура RAM – *Random Access Memory*, тобто «пам'ять з довільним доступом», що не зовсім коректно, оскільки пам'яттю з довільним доступом є також ПЗП і регістри процесора. Для більшості типів напівпровідникових ОЗП характерна енергозалежність – навіть під час короткочасного переривання живлення інформація, що зберігається, втрачається. Мікросхема ОЗП повинна бути постійно підключена до джерела живлення і тому може використовуватися тільки як тимчасова пам'ять.

Другу групу напівпровідникових ЗП основної пам'яті утворюють незалежні мікросхеми ПЗП (ROM – *Read-Only Memory*). ПЗП забезпечує зчитування інформації, але не допускає її зміни (у ряді випадків інформація в ПЗП може бути змінена, але цей процес сильно відрізняється від зчитування і вимагає значно більшого часу).

1 Блочна організація основної пам'яті

Ємність основної пам'яті сучасних комп'ютерів достатньо велика, щоб її можна було реалізувати на одній інтегральній мікросхемі (ІМС). Необхідність об'єднання декількох ІМС виникає також, коли розрядність комірок у мікросхемі запам'ятовуючого пристрою менше розрядності слів комп'ютера.

Збільшення розрядності ЗП реалізується за рахунок об'єднання адресних входів ІМС ЗП, які об'єднуються. Інформаційні входи і виходи мікросхем є входами і виходами модуля ЗП збільшеної розрядності (рис. 1). Таку об'єднану сукупність мікросхем називають *модулем пам'яті*. Модулем можна називати і одну мікросхему, якщо вона вже має необхідну розрядність. Один або декілька модулів утворюють *банк пам'яті*.

Для отримання потрібної ємності ЗП потрібно певним чином об'єднати декілька банків пам'яті меншої ємності. Взагалі основна пам'ять комп'ютера практично завжди має блочну структуру, тобто містить декілька банків.

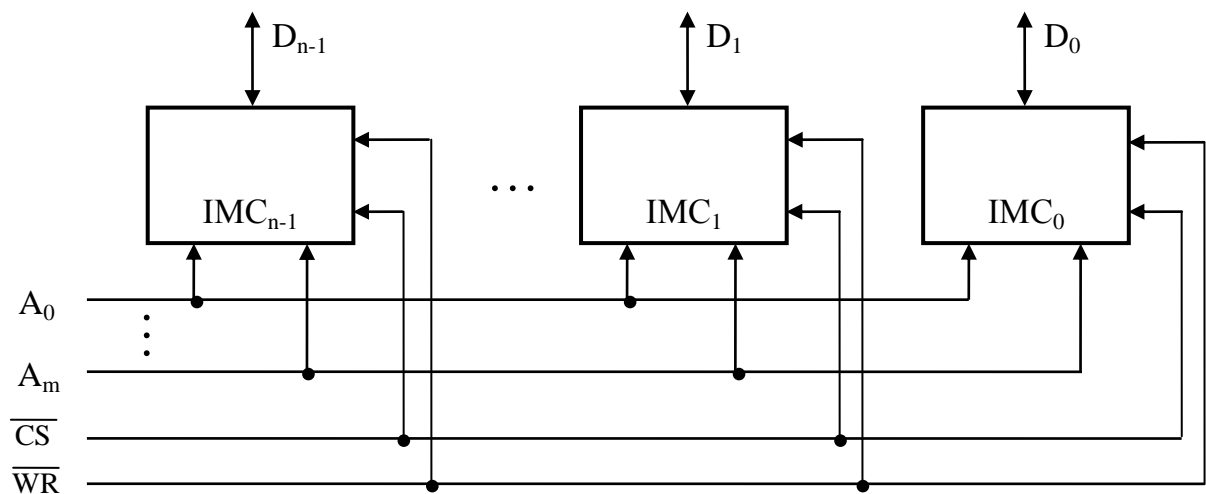


Рисунок 1 - Збільшення розрядності пам'яті

Під час використання блочної пам'яті, яка складається з B банків, адреса комірки A перетворюється в пару (b, w) , де b - номер банку, w - адреса комірки всередині банку. Відомі три схеми розподілу розрядів адреси A між b і w : *блочна*; *циклічна*; *блочно-циклічна*.

Типова структура *блочної пам'яті* показана на рис. 2.

Адресний простір пам'яті розбитий на групи послідовних адрес, і кожна така група забезпечується окремим банком пам'яті. Для звернення до пам'яті використовується 9-розрядна адреса, сім молодших розрядів якої ($A_6 - A_0$) надходять паралельно на всі банки пам'яті і вибирають у кожному з них одну комірку. Два старших розряди адреси (A_8, A_7) містять номер банку. Вибір банку забезпечується або за допомогою дешифратора номера банку пам'яті або шляхом мультиплексування інформації (на рис. 3.6 показані обидва варіанти).

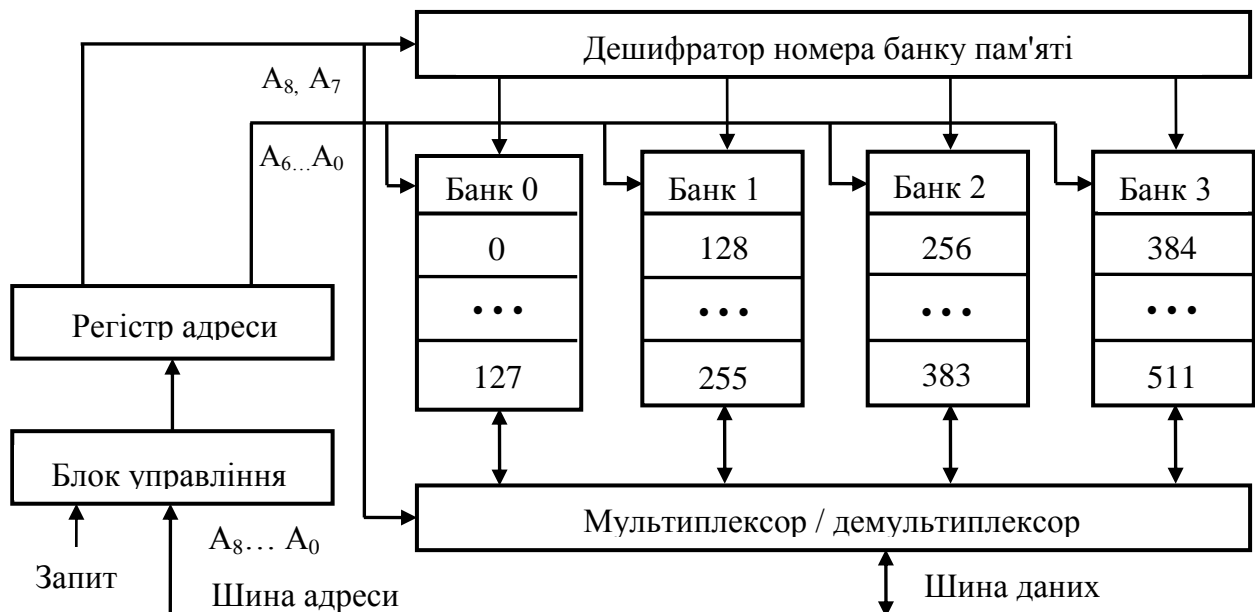


Рисунок 2 - Структура основної пам'яті блочного типу

У функціональному відношенні така пам'ять може розглядатись як єдиний ЗП, ємність якого дорівнює сумі ємностей складових, а швидкодія – швидкодії окремого банку.

Блочний принцип побудови оперативної пам'яті має ще одну перевагу – дозволяє зменшити час доступу до інформації. Це стає можливим завдяки потенціальному паралелізму, який є властивим для блочної організації.

Більшій швидкості доступу можна досягти за рахунок одночасного доступу до багатьох банків пам'яті. Одна з використовуваних для цього методик називається *розшаруванням пам'яті*. В її основу покладене так зване *чергування адрес* (address interleaving – *інтерлів*), яке полягає в зміні системи розподілу адрес між банками пам'яті. Причому чергування адрес базується на властивості локальності по зверненню, відповідно до якого послідовний доступ у пам'ять звичайно виконується до комірок, які мають суміжні адреси. Іншими словами, якщо в даний момент виконується звернення до комірки з адресою 5, то наступне звернення найвірогідніше буде до комірки з адресою 6, а потім 7 і т.д.

Чергування адрес забезпечується за рахунок *циклічного* розбиття адреси (для вибору банку використовуються два розряди адреси, а інші розряди – для вибору комірки в банку). У пам'яті з інтерлівом кожен наступний рядок

вибирається в новому банку, що дозволяє запам'ятовуючим елементам рядка з попереднього банку відновлювати свій стан (рис. 3).

Оскільки в кожному такті на шині адреси може бути присутнім адреса тільки однієї комірки, паралельне звернення до декількох банків неможливе, однак воно може бути організоване зі зсувом на один такт.

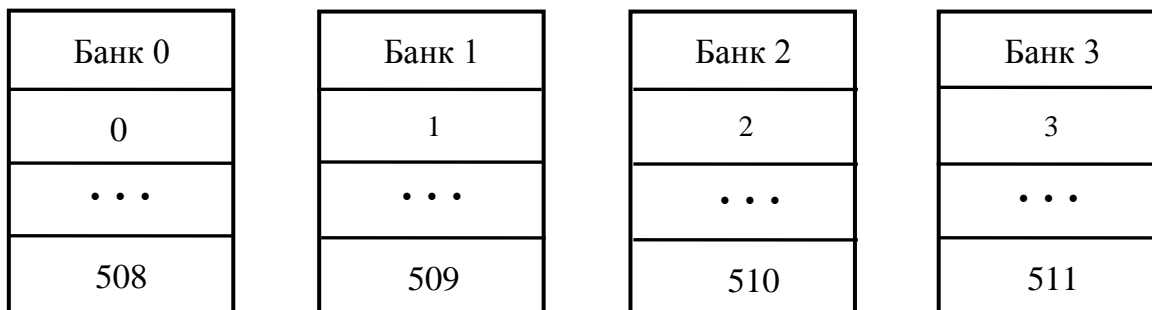


Рисунок 3- Нумерація комірок у банках пам'яті з циклічною адресацією

У разі великої кількості банків середній час доступу до основної пам'яті скорочується в N разів (N - кількість банків), але за умови, що комірки, до яких проводиться звернення, відносяться до різних банків. Якщо ж запити до одного й того ж банку приходять один за одним, то кожний наступний запит повинен очікувати завершення обслуговування попереднього. Така ситуація називається *конфліктом по доступу*. У разі частого виникнення конфліктів по доступу метод стає неефективним [25].

У *блочно-циклічній* схемі розшарування пам'яті кожний банк складається з декількох модулів, що адресуються за круговою схемою (рис. 4).

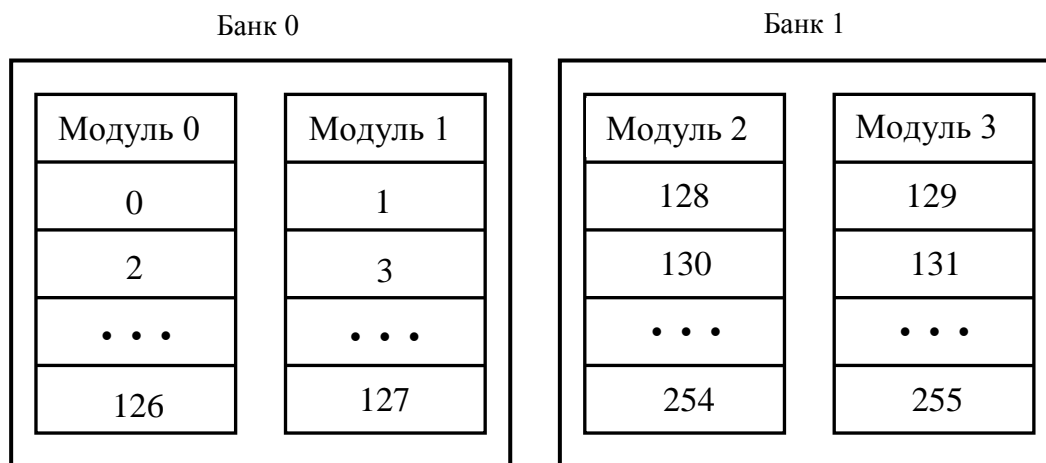


Рисунок 4 - Блочно-циклічна схема розшарування пам'яті

Адреси між банками розподілені по блочній схемі. Таким чином, адреса комірки розбивається на три частини. Старші біти визначають номер банку, наступна група розрядів адреси вказує на комірку в модулі, а молодші біти адреси вибирають модуль у банку.

У багатопроцесорних системах з загальною пам'яттю, де запити на доступ до пам'яті достатньо незалежні, у систему включають декілька контролерів пам'яті, що дозволяє окремим банкам функціонувати абсолютно автономно.

2 Організація мікросхем пам'яті

Як оперативну пам'ять комп'ютера використовують динамічну пам'ять, яка здатна зберігати інформацію тільки протягом достатньо короткого проміжку часу, після якого інформацію необхідно відновлювати, інакше вона буде загублена. Аббревіатура динамічної пам'яті – DRAM (Dynamic Random Access Memory).

Динамічна пам'ять здатна запам'ятовувати біти інформації завдяки паразитній ємності (близько 10^{-15} Ф). Ця пам'ять сконструйована на базі структури компліментарної технології метал-оксид-напівпровідник (CMOS – Complimentary Metal Oxide Semiconductor). За CMOS-технологією, завдяки її безсумнівним технічним перевагам, будуються сучасні чіпи швидкодіючих електронних елементів з високою щільністю упакування.

Інтегральні мікросхеми (ІМС) пам'яті організовані у вигляді матриці комірок, кожна з яких, залежно від розрядності ІМС, складається з одного або більше запам'ятовуючих елементів (ЗЕ) і має власну адресу. Кожний ЗЕ здатний зберігати один біт інформації.

Популярна сьогодні ІМС пам'яті має об'єм 64 Мбіт – тобто 67108864 запам'ятовуючих елементів (ЗЕ). ЗЕ розміщується на перехрестях сітки з провідників. У цьому випадку кожний ЗЕ є під'єднаним до двох провідників – один з яких використовують для керування читанням (записом), інший для передачі (подачі) даних. Структура запам'ятовуючого елемента зображена на рис. 5

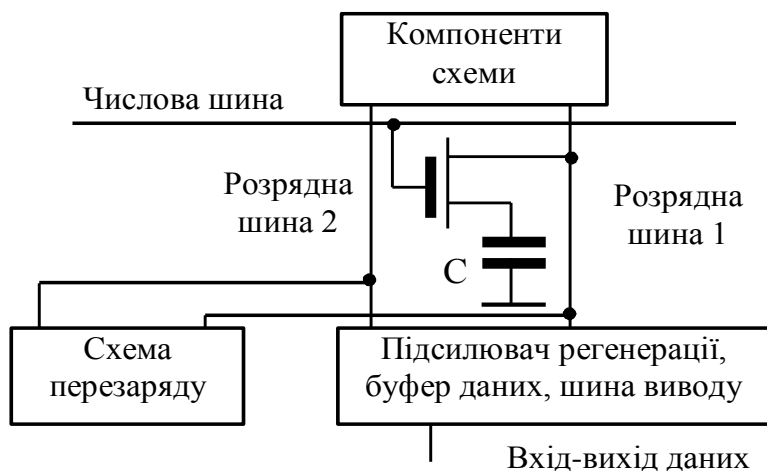


Рисунок 5 - Структура запам'ятовуючого елемента

Транзистор у динамічному ЗЕ працює як ключ, який керує передачею заряду. Під час запису в конденсатор біта інформації ключ відкривається, заряджаючи конденсатор до певної величини.

Для доступу до мікросхеми пам'яті з контролера ОЗП надходять сигнали керування, які переводять числову шину в активний стан. При цьому на числовій шині підвищується потенціал, транзистор відкривається і замикає

ланцюг: *корпус => розрядна шина 1*. Якщо ємність заряджена, вона розряджається на розрядну шину, підвищуючи її потенціал.

Між розрядними шинами 1 і 2 виникає напруга. Струм, що при цьому циркулює, створює на вихідній шині заряд (одиниця). Якщо ємність не була зарядженою, то на виході формується струм протилежного напрямку й із шини даних знімається нуль. Процес запису зворотний читанню.

У DRAM кожен ЗЕ можна відшукати за його адресними координатами, що оформлені у рядки і стовпці (рис. 6).

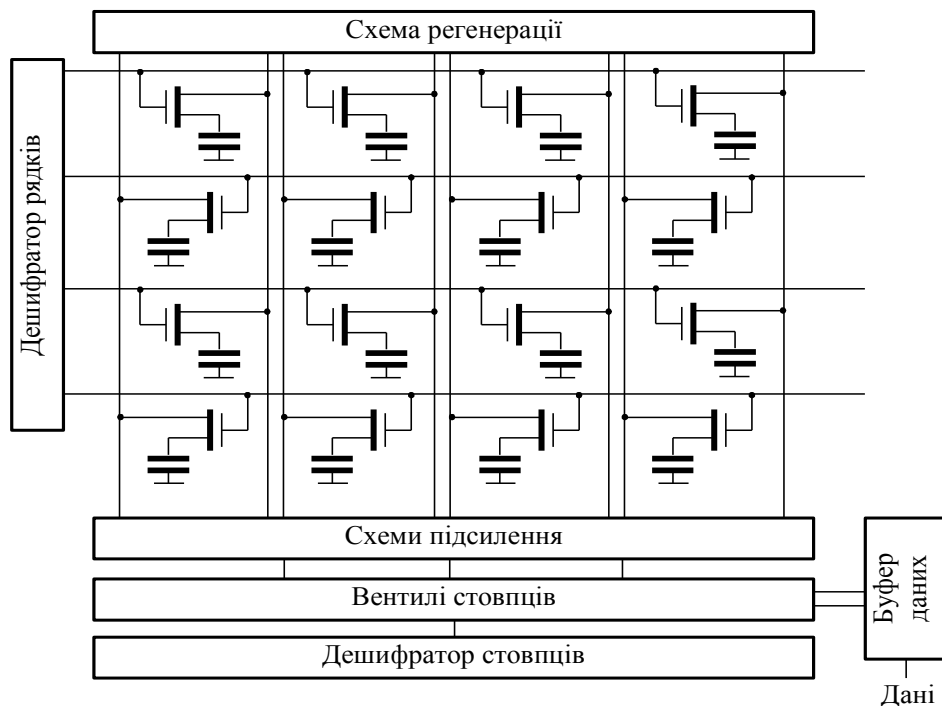


Рисунок 6 - Структура динамічного ОЗП

Запам'ятовуючі елементи, які об'єднані керуючим провідником, прийнято називати рядком, або *row* (розташовані в квадратній таблиці горизонтально). Запам'ятовуючі елементи, які об'єднані провідником, що передає значення, називають стовпцем, або *column* (розташовані по вертикалі). Вибір відповідної адреси рядка і стовпця дозволяє визначити місце ЗЕ.

Таким чином, під час вибору рядка читання здійснюється відразу на всіх ЗЕ, тобто на кожному із провідників стовпців, виникає напруга, обумовлена логічним значенням відповідного ЗЕ обраного рядка. Описану сукупність ЗЕ і логічні елементи, що їх обрамляють і які зв'язані з вибором рядків і стовпців, називають ядром ІМС.

Усі ЗЕ виводяться на загальну числову шину. Вміст декількох ЗЕ, об'єднаних на виході, утворює інформаційну групу – байт або слово і виводиться на шину даних пам'яті. Розрядність мікросхеми визначає кількість ЗЕ, які мають одну і ту ж адресу (така сукупність запам'ятовуючих елементів називається коміркою). Розрядність зовнішньої шини даних пам'яті дозволяє підвищити її пропускну здатність.

3 Принцип дії динамічної пам'яті

Адреса пам'яті містить відомості для вибору: *байта, банку, рядка і стовпця*. Вона надходять в один із портів контролера ОЗП, трансформуються в дві адреси – рядка і стовпця, які по шині МА потрапляють у DRAM (рис. 7) з деяким проміжком часу (ΔT_1 на рис. 8).

Контролер пам'яті оснащений портом для обміну даними з процесором і ще одним портом – для обміну з пристроями вводу/виводу на системній шині [22].

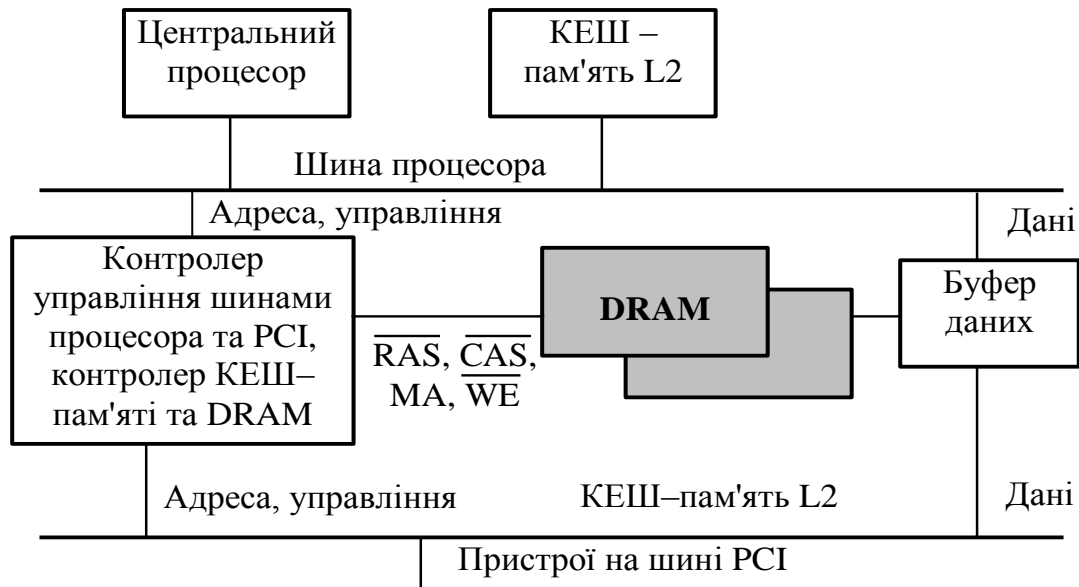


Рисунок 7 - Один з варіантів взаємодії з підсистемою пам'яті

Оскільки запитів для обміну багато, на вході підсистеми є арбітр. Він під'єднує до пам'яті пристрої відповідно до пріоритетів.

Шина між процесором і контролером ОЗП – *FSB (Front Side Bus)* тактується системними синхроімпульсами.

Кожний з елементів адресної групи стробується імпульсами сигналів керування *RAS (Row Address Strobe)* – адреса рядка і *CAS (Column Address Strobe)* – адреса стовпця (рис. 3.12).

Щоб стробування було надійним, ці сигнали подаються з затримкою, достатньою для завершення перехідних процесів на шині адреси і в адресних ланцюгах мікросхеми. Сигнал вибору мікросхеми CS (Crystal Select) дозволяє роботу ІМС і використовується для вибору певної мікросхеми в системах, які складаються з декількох ІМС. Вхід WE (Write Enable – дозвіл запису) визначає вид операції, яка виконується (зчитування або запис).

На якийсь час, поки ІМС пам'яті не використовує шину даних, інформаційні виходи мікросхеми переводяться в третій (високоімпедансний) стан. Управління перемиканням у третій стан забезпечується сигналом OE (Output Enable – дозвіл видачі вихідних сигналів). Цей сигнал активізується під час виконання операції читання.

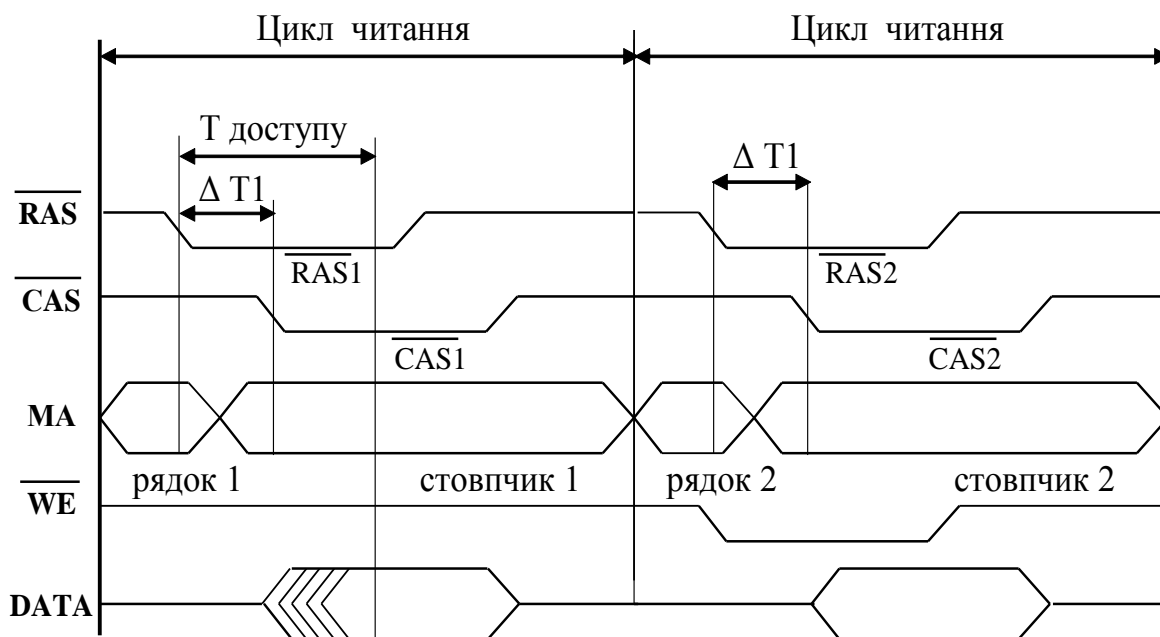


Рисунок 8 - Часова діаграма циклів доступу до ОЗП

Для більшості перерахованих вище управляючих сигналів активним зазвичай вважається їх низький рівень, що показано рискою над позначенням сигналу (рис. 3.12).

Типову процедуру доступу до пам'яті розглянемо на прикладі читання з ІМС з мультиплексуванням адрес рядків і стовпців. Спочатку на вході *WE* встановлюється рівень, відповідний операції читання, а на адресні контакти ІМС подається адреса рядка, що супроводжується сигналом *RAS*. По задньому фронті цього сигналу адреса запам'ятовується в регістрі адреси рядка мікросхеми, після чого дешифрується. Після стабілізації процесів, викликаних сигналом *RAS*, вибраний рядок підключається до підсилювачів читання/запис (ПЧЗ). Далі на вхід ІМС подається адреса стовпця, яка по задньому фронті сигналу *CAS* заноситься в регістр адреси стовпця. Одночасно готується вихідний регістр даних, куди після стабілізації сигналу *CAS* завантажується інформація з вибраних ПЧЗ.

Управління операціями з основною пам'яттю здійснюється контролером пам'яті. Зазвичай цей контролер входить до складу центрального процесора або реалізується у вигляді зовнішнього по відношенню до пам'яті пристрою. У останніх типах ІМС пам'яті частина функцій контролера покладається на мікросхему пам'яті. Хоча робота ІМС пам'яті може бути організована як по синхронній, так і по асинхронній схемі, контролер пам'яті – пристрій синхронний, тобто він спрацьовує виключно по тактових імпульсах. З цієї причини операції з пам'яттю прийнято описувати з прив'язкою до тактів.

У разі відсутності даних у кеш, доступ до ОЗП можна уявити так: за час *першого* і *другого* тактів синхронізації із шини *FSB* у контролер ОЗП

направляються керуючі й адресні сигнали. Сигнали аналізуються і керують логікою ОЗП.

Два-три (залежно від якості *DRAM*) синхроімпульси витрачаються на запуск схеми дешифрації і вибір відповідного рядка.

Під час доступу до шин рядків активізується числова шина і всі *ЗЕ* у даному рядку читаються. На розрядні шини надходять відповідні потенціали від конденсаторів.

На активізацію шин стовпців, під'єднання розрядних шин до буфера даних і витягнення із *ЗЕ* пам'яті даних також потрібно *два-три* такти синхронізації. Ще *один* такт іде на доставку даних у буфер даних *DRAM*. По *такту* витрачається на доставку даних у контролер *ОЗП* і далі – у процесор.

Таким чином, *за один цикл* звертання до пам'яті система генерує взагалі **9 – 11 тактів синхронізації**.

Під час читання даних варто врахувати ще *два* такти, що витрачаються на відновлення заряду *ЗЕ*.

Динамічна пам'ять енергозалежна і вимагає періодичного поповнення енергії в паразитних ємностях, що реалізується *стандартною процедурою регенерації*. Ця апаратна процедура ініціюється інтервальним таймером кожні 15,6 мкс (рис. 9) і виконується через канал регенерації динамічної пам'яті (РДП).

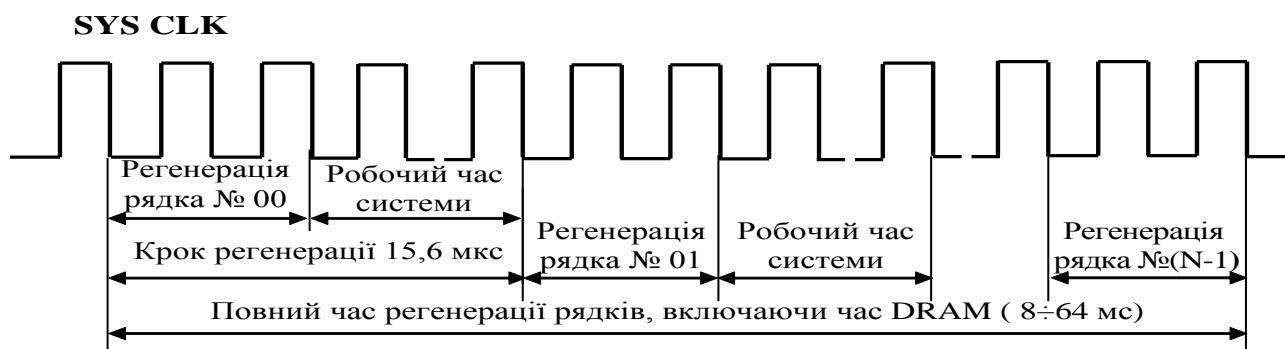


Рисунок 9 - Часова діаграма регенерації динамічної пам'яті

Для регенерації використовуються тільки строби *RAS*, а строби *CAS* у процесі не беруть участі. Протягом цього часу, який називається кроком регенерації, у *DRAM* перезаписується цілий рядок *ЗЕ*. Так, протягом 8...64 мс обновляються всі рядки пам'яті.

Для перезапису *ЗЕ* ОЗП досить перебирати рядок за рядком і виконувати «фіктивну» (без виведення даних на магістраль даних пам'яті) команду читання.

У цьому випадку кожен *ЗЕ* рядка перезапишеться через схему перезарядження, а дані не потраплять у буфери виводу даних.

Шина даних знаходиться у високоімпедансному стані. На модифікацію *ЗЕ* під час читання витрачається два такти синхронізації.

Очевидно, що процедура регенерації пам'яті (у класичному варіанті) «гальмує» роботу системи, оскільки в цей час обмін даними з ОЗП неможливий. Регенерація, заснована на звичайному перебиранні рядків (незалежно від послідовності), у сучасних типах DRAM не застосовується. Існує кілька економічних варіантів цієї процедури – розширений, пакетний, розподілений і ін.

Тимчасових характеристик динамічної пам'яті дуже багато, але найважливіших – три:

- час перезарядження пам'яті – являє собою затримку, зв'язану з попереднім зарядженням розрядних шин опорною напругою;
- час доступу до пам'яті – активізація числової шини, у результаті чого на вихідну шину даних пам'яті викладається інформація;
- час циклу – складається з затримок часу перезарядження і доступу.

Час затримки виведення даних DRAM вимірюється величинами від десятків до сотень наносекунд. Систему пригальмовують не тільки затримки всередині пам'яті. Будь-яке звертання до ОЗП супроводжується передачею у контролер пам'яті великої групи сигналів, що ускладнюють схемотехніку і підвищують латентність підготовчого періоду циклу обміну даними.

4 Методи підвищення швидкодії запам'ятовуючих пристроїв

Можливості «прискорення ядра» мікросхеми ЗП дуже обмежені і пов'язані в основному з мініатюризацією запам'ятовуючих елементів. Найбільші успіхи досягнуті в інтерфейсній частині ІМС, торкаються вони, головним чином, операції читання, тобто способів доставки вмісту комірки на шину даних. Найбільшого поширення набули наступні шість фундаментальних підходів: *послідовний; конвеєрний; регістровий; сторінковий; пакетний; подвоєної швидкості.*

Послідовний режим. Під час використання *послідовного режиму* (Flow through Mode) адреса і управляючі сигнали подаються на мікросхему до надходження синхроімпульсу.

У момент приходу синхроімпульсу вся вхідна інформація запам'ятовується у внутрішніх регістрах – по його передньому фронту, і починається цикл читання. Через деякий час, але в межах того ж циклу дані з'являються на зовнішній шині, причому цей момент визначається тільки моментом приходу синхронізуючого імпульсу і швидкістю внутрішніх ланцюгів мікросхеми.

Конвеєрний режим (pipelined mode) – це такий метод доступу до даних, при якому можна продовжувати операцію читання за попередньою адресою в процесі запиту до наступного.

Під час читання з пам'яті час, потрібний для витягання даних з комірки, можна умовно розбити на два інтервали. Перший з них – безпосередньо доступ

до масиву запам'ятовуючих елементів і витягання даних з комірки. Другий – передача даних на вихід (при цьому відбувається детектування стану комірки, підсилення сигналу та інші операції, необхідні для зчитування інформації). На відміну від послідовного режиму, де наступний цикл читання починається тільки після закінчення попереднього, в конвеєрному режимі процес розбивається на два етапи. Поки дані з попереднього циклу читання передаються на зовнішню шину, відбувається запит на наступну операцію читання. Таким чином, два цикли читання перекриваються в часі. Через ускладнення схеми передачі даних на зовнішню шину час зчитування збільшується на один такт і дані поступають на вихід тільки в наступному такті, але таке запізнювання спостерігається лише при першому читанні в послідовності операцій зчитування з пам'яті. Всі наступні дані поступають на вихід один за одним, хоча і з запізненням на один такт щодо запиту на читання. Оскільки цикли читання перекриваються, мікросхеми з конвеєрним режимом можуть використовуватися при частотах шини, що вдвічі перевищують допустиму для ІМС з послідовним режимом читання.

Регістровий режим (Register to Latch) використовується відносно рідко і його характерною рисою є наявність регістра на виході мікросхеми. Адреса і управляючі сигнали видаються на шину до надходження синхронізуючого імпульсу. З приходом позитивного фронту синхроімпульсу адреса записується у внутрішній регістр мікросхеми, і починається цикл читання. Зчитані дані заносяться в проміжний вихідний регістр і зберігаються там до появи негативного фронту (спаду) синхроімпульсу, а з його надходженням передаються на шину. Метод однозначно визначає момент появи даних на виході ІМС, причому змінюючи ширину імпульсу синхронізації, можна міняти час появи даних на шині. Дана властивість часто виявляється дуже корисною під час проектування спеціалізованих ОМ. За швидкодією мікросхеми з регістровим режимом ідентичні ІМС з послідовним режимом.

Сторінковий режим. В основі ідеї лежить той факт, що під час доступу до комірок з суміжними адресами (згідно з принципом локальності така ситуація найбільш вірогідна), причому до таких, де всі ЗЕ розташовані в одному рядку матриці, доступ до другої і подальших комірок можна проводити істотно швидше. Дійсно, якщо адреса рядка під час чергового звернення залишилась тією самою, то всі тимчасові витрати, пов'язані з повторним занесенням адреси рядка в регістр ІМС, дешифрацією, зарядом паразитної ємності горизонтальної лінії і тому подібне, можна виключити. Для доступу до чергової комірки досить подавати на ІМС лише адресу нового стовпця, супроводжуючи його сигналом CAS. Відзначимо, що звернення до першої комірки в послідовності проводиться стандартним чином – почерговим завданням адреси рядка і адреси стовпця, тобто тут час доступу зменшити практично неможливо. Розглянутий

режим називається *режимом сторінкового доступу* або просто *сторінковим режимом* (Page Mode). Під сторінкою розуміється рядок матриці ЗЕ. Мікросхеми, де реалізується сторінковий режим і його модифікації, прийнято характеризувати формулою $x-y-y-y$. Перше число x визначає кількість тактів системної шини, яке необхідне для доступу до першої комірки послідовності, а y – до кожної з наступних комірок. Так, вираз 7-3-3-3 означає, що для обробки першого слова необхідно 7 тактових періодів системної шини (протягом шести з яких шина простоює в очікуванні), а для обробки подальших слів – по три періоди, з яких два системна шина також простоює.

Режим швидкого сторінкового доступу (FPM - Fast Page Mode) є модифікацією стандартного сторінкового режиму. Основна відмінність полягає в способі занесення нової інформації в регістр адреси стовпця. Повна адреса (рядка і стовпця) передається тільки у разі першого звернення до рядка. Активізація буферного регістра адреси стовпця проводиться не по сигналу CAS, а по задньому фронту сигналу RAS. Сигнал RAS залишається активним впродовж всього сторінкового циклу і дозволяє заносити в регістр адреси стовпця нову інформацію не по спадаючому фронту CAS, а як тільки адреса на вході ІМС стабілізується, тобто практично по передньому фронту сигналу CAS. В цілому ж втрати часу скорочуються на два такти, які раніше були потрібні для передачі адреси кожного рядка і сигналу RAS. Реальний вииграш, проте, спостерігається лише під час передачі блоків даних, що зберігаються в одному і тому ж рядку мікросхеми. Якщо ж програма часто звертається до різних областей пам'яті, переходячи з одного рядка ІМС на інший, переваги методу втрачаються. Режим знайшов широке застосування в мікросхемах ОЗП, особливо динамічного типу.

Пакетний режим (Burst Mode) – режим, при якому на запит за конкретною адресою пам'ять повертає пакет даних, що зберігаються не тільки за цією адресою, але і за декількома подальшими адресами.

Розрядність комірки пам'яті сучасних ОМ зазвичай рівна одному байту, тоді як ширина шини даних, як правило, складає чотири байти. Отже, одне звернення до пам'яті вимагає послідовного доступу до чотирьох суміжних комірок – пакета. Довжина пакета крім чотирьох може дорівнювати 1, 2 або 8-ми коміркам, які розташовані послідовно. З урахуванням цієї обставини в ІМС пам'яті часто використовується модифікація сторінкового режиму, що носить назву *групового* або *пакетного* режиму. Під час його реалізації адреса стовпця заноситься в ІМС тільки для першої комірки пакета, а перехід до чергового стовпця проводиться вже всередині мікросхеми. Це дозволяє для кожного пакета виключити три з чотирьох операцій занесення в ІМС адреси стовпця і тим самим ще більш скоротити середній час доступу.

Режим подвоєної швидкості. Важливим етапом у подальшому розвитку технології мікросхем пам'яті став режим DDR (Double Data Rate) – подвоєна швидкість передачі даних. Суть методу полягає в передачі даних по обох фронтах імпульсу синхронізації, тобто двічі за період. Таким чином, пропускна здатність збільшується в два рази.

Крім згаданих використовуються й інші прийоми підвищення швидкодії ІМС пам'яті, такі як включення до складу мікросхеми допоміжної кеш-пам'яті і незалежні тракти даних, що дозволяють одночасно проводити обмін з шиною даних і звернення до матриці ЗЕ і так далі.

Як приклад розглянемо організацію системи НОЗП-ОЗП. Вимірювання ефективності такої системи проводиться за відношенням попадання $h=a/b$, де a, b – кількість звернень, відповідно до НОЗП та ОЗП. Експериментально доведено, що відношення попадання h дуже залежить від ємності НОЗП, алгоритму зміни інформації, що використовується, і програм, які розв'язуються на ЕОМ [21].

Підвищення швидкодії може бути охарактеризоване коефіцієнтом підвищення швидкодії (КПШ)

$$K = \frac{T_0}{T_i},$$

де T_0 – цикл звернення до ЗП; T_i – цикл звернення до цього ж ЗП під час використанні i -го методу підвищення швидкодії.

Для підрахунку КПШ від введення НОЗП з циклом t_1 визначимо загальний час, необхідний для $(a + b)$ звернень до пам'яті без НОЗП та з ним:

$$T_0 \cdot (a + b) \quad \text{і} \quad t_1 \cdot a + T_0 \cdot b .$$

Звідси

$$K = \frac{T_0}{T_1} = \frac{T_0 \cdot (a + b)}{t_1 \cdot a + T_0 \cdot b} = \frac{1 + h}{1 + h \cdot t_1 / T_0},$$

що при $h \gg 1$ дає:

$$K \approx \frac{T_0}{t_1}.$$

Для дослідження залежності T_1 системи НОЗП-ОЗП від ємності НОЗП T_1 подають у вигляді $T_1 = t_1 + \varepsilon \cdot T_0$. Залежність ε від ємності m НОЗП, яка отримана методом цифрового моделювання, показана на рис. 10.

Як видно з рисунка, ємність НОЗП повинна приблизно дорівнювати 32-м коміркам, оскільки подальше збільшення m практично не впливає на швидкодію пам'яті типу НОЗП-ОЗП.

Наприклад, при $T_0 = 1000$ нс та $t_1 = 50$ нс введення НОЗП на 32 комірки підвищує швидкодію ЗП в 10 разів ($T_1 = 100$ нс).

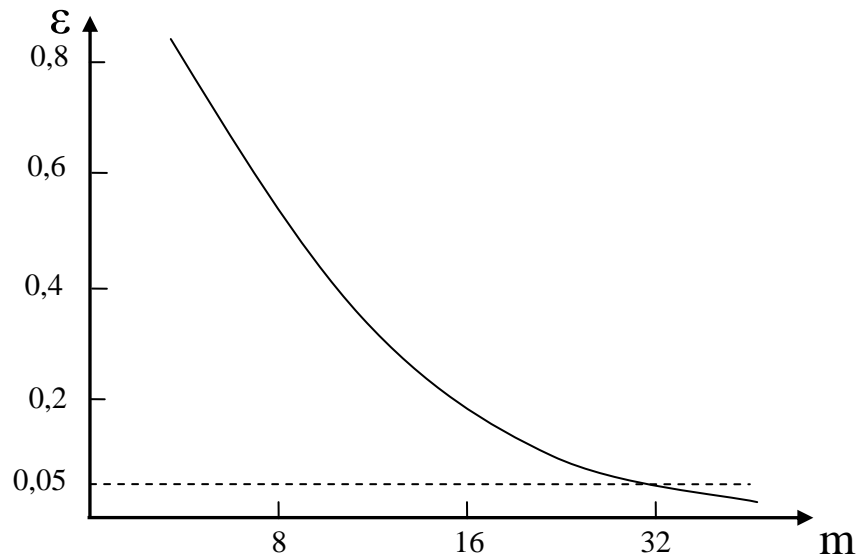


Рисунок 10 - Залежність ε від ємності НОЗП

Суттєво підвищити швидкодію можна також суміщенням операцій, яке реалізується шляхом розшарування комірок ЗП, суміщенням дешифрації адреси слова з вибіркою попереднього, застосуванням довгих комірок, здатних зберігати два або більше слів, створенням можливості звернення до ЗП багатьма незалежними адресами.